

NOSITEL
VYZNAMENÁNÍ
ZA BRANNOU
VÝCHOVU
I. A II. STUPNĚ



ŘADA B PRO KONSTRUKTÉRY

ČASOPIS PRO ELEKTRONIKU
A AMATÉRSKÉ VYSÍLÁNÍ
ROČNÍK XXXIV/1985 0 0 ČÍSLO 2

V TOMTO SEŠITĚ

Cestou 40. výročí osvobození ...41

INTEGROVANÉ OBVODY CMOS

Práce s obvody CMOS42

Základní vlastnosti
obvodů CMOS43

Všeobecné charakteristiky
IO CMOS43

Základní elektrické parametry
obvodů CMOS46

Ochranné obvody pro CMOS51

Základní logické sestavy53

Kombinované logické funkce53

Dekodéry55

Sekvenční logické funkce56

Střadače60

Posuvné registry62

Čítače a časovače64

Složitě funkce67

Aritmetické funkce67

Hradlová pole69

Převodníky úrovní69

Paměti RAM a ROM71

Mikroprocesory

a mikročítače72

Základní analogové obvody74

Invertor CMOS jako zesilovač74

Praktická zapojení zesilovačů76

Oscilátory s invertory CMOS76

Krystalový oscilátor77

Multivibrátory77

Výsledky konkursu AR 1984
a podmínky konkursu
AR 198579

AMATÉRSKÉ RADIO ŘADA B

Vydává ÚV Svazarmu ve vydavatelství NAŠE VOJSKO, Vladislavova 26, 133 66 Praha 1, tel. 26 06 51-7. Šéfredaktor ing. Jan Klábal, redaktor Luboš Kalousek, OK1FAC. Redakční rada řídí Ing. J. T. Hyán. Redakce Jungmannova 24, 113 66 Praha 1, tel. 26 06 51-7, šéfredaktor linka 354, redaktor linka 353, sekretářka linka 355. Ročně vyjde 6 čísel. Cena výtisku 5 Kčs, pololetní předplatné 15 Kčs. Rozšiřuje PNS, v jednotkách ozbrojených sil vydavatelství NAŠE VOJSKO, administrace Vladislavova 26, Praha 1. Objednávky přijímá každá pošta i doručovatel. Objednávky do zahraničí vyřizuje PNS, ústřední expedice a dovoz tisku, závod 01, Kačkova 9, 160 00 Praha 6. Tiskne NAŠE VOJSKO, n. p., závod 08, 160 05 Praha 6, Vlastina ulice č. 889/23.

Za původnost a správnost příspěvku odpovídá autor. Návštěvy v redakci a telefonické dotazy pouze po 14. hodině. Číslo indexu 46 044.

Toto číslo má vyjít podle plánu 2. 4-1985.
© Vydavatelství NAŠE VOJSKO

CESTOU 40. VÝROČÍ OSVOBOZENÍ

Již 40 let nás dělí od slavných květnových dnů pětáctýřicátého roku – osvobození naší vlasti Sovětskou armádou od nenáviděného německého fašismu a nastolení míru v Evropě. Mezi desítkami tisíc obětí nacistické zvěře, lidí, kteří nevzdali boj, nesklonili se před okupanty a zaplatili za to životem, byly i desítky členů předválečných radioamatérských organizací – československých amatérů vysíláčů a československého radiosvazu, které byly za okupace násilně likvidovány. Dnes bychom se už asi těžko dopočítali čísla obětí v řadách radioamatérů, kteří zaplatili krvavou daň za ilegální vysílání či za boj se zbraní v ruce v partyzánských oddílech, ve východní armádě i na našem území. Tyto oběti nebyly marné. Pomohly stmelit český a slovenský lid v jednotnou protifašistickou frontu.

Rovněž naši spojari z prvního čs. armádního sboru v sovětské armádě plnili své povinnosti na frontách proti německé armádě velmi dobře. Nejlepším důkazem toho je řada vysokých vyznamenání, která zdobí bojové zástavy, spojovacích útvarů. V květnových dnech r. 1945 také rozhlasoví pracovníci sebrali významnou úlohu při vyhlášení pražského povstání na rozhlasových vlnách a tím i urychlení osvobozujících akcí Rudé armády na pomoc bojující Praze.

Hned po osvobození se radioamatéři zapojili do budování nového státu. Narychlo sestrojenými vysílacími udrzovali po dobu několika týdnů rádiové spojení s těmi kraji, jejichž telefonní a telegrafní spojení bylo v průběhu válečných operací přerušeno, aby tak mohli být co nejrychleji obnoven normální hospodářský život. Souběžně s tím se začala ustavovat nová organizace amatérů vysíláčů – ČAV. Sloveňští radioamatéři se sdružili v samostatnou organizaci SSKA. Rozhlasoví radioamatéři obnovili čs. radiosvaz v červnu 1947 s cílem sdružovat zájemce o rozhlasovou, gramofonovou, zesilovací a televizní techniku.

Po únoru 1948 dochází k celostátnímu sjednocení pod jednotnou organizaci ČRA se zaměřením tohoto hnutí na technickou výchovu členstva a zejména mládeže. Tato organizace byla včleněna do Revolučního odborového hnutí, které ji v rámci péče o závodní kluby poskytlo potřebnou materiální základnu pro široký rozvoj hnutí. Začlenění ČRA do ROH však bylo jen přechodné, neboť brzy po ustavení Svazu po spolupráci s armádou přecházejí radioamatéři se svou branně sportovní činností do této organizace.

Začlenění radioamatérů do Svazarmu je základním krokem k vyzdvížení důležitosti jejich činnosti. Politicky, organizačně i odborně nejvyšší radioamatéři vytvářejí Ústřední radioklub, výkonnou složku, řídící radioamatérskou činnost v celostátní měřítku. V r. 1953 je uspořádána první celostátní výstava radioamatérských prací. V letech 1955 až 1958 nastává stabilizace sportovní a organizační výstavby a rozšiřuje se mezinárodní styk. V řadě mezinárodních závodů světového významu vítězí i naši vysílací, rychlotelegrafisté i závodníci v honu na lišku (ROB). Významný byl i podíl svazarmovských radioamatérů při rozvoji televize. Výstavbou několika desítek retranslačních stanic pomáhali šířit televizní signál do odlehklých míst naší vlasti. Tato akce značně napomohla seznamování široké veřejnosti se společenským významem radioamatérské činnosti ve Svazarmu.

II. sjezd Svazarmu v r. 1961 je důležitým mezníkem. Postavil radioamatérskou činnost jako jeden z nejdůležitějších úseků svazarmovské činnosti na přední místo a poukázal na společenskou důležitost, znalosti a využití radiotechniky a stanovil zásady dalšího rozvoje radioamatérské činnosti ve Svazarmu.

Díky polovodičové technice a jejímu širšímu uplatnění rozšiřuje se i zájmová činnost zejména u mladších radioamatérů. Ve svazarmovské radioamatérské činnosti dochází ke specializaci zájmů.

Vznikají kluby zaměřené na televizní techniku, na radiodálnopis a také první klub Elektroakustiky Praha (dnešní 602. ZO Svazarmu), který se specializuje na záznamovou, gramofonovou, zesilovací techniku a reproduktorové kombinace.

V druhé polovině 60. let vznikají další kluby elektroakustiky ve Svazarmu po celé ČSSR, ale již s názvem Hifikluby. V r. 1967 je zpracován návrh na osamostatnění této odbornosti od radioamatérské a ustavení samostatné rady odbornosti. V r. 1971 je zpracován první koncepční a programový materiál pro tuto odbornost pod názvem Jednotná metodika Hifi-klubů Svazarmu.

Největší počet klubů této odbornosti byl založen v letech 1971 až 1974. V návaznosti na závěry sjezdových jednání ve Svazarmu je postupně upevňován obsah, formy, metody a prostředky činnosti, což vrcholí vydáním koncepce odbornosti.

Koncepce rozvoje elektroakustiky a videotechniky ve Svazarmu byla schválena představením ÚV Svazarmu v červnu roku 1977. Její postupné naplňování bylo spojeno s úsilím celé branné organizace o splnění závěrů VI. sjezdu Svazarmu i následujících zasedání jeho ústředního výboru.

Představenstvo ÚV Svazarmu v koncepci rozvoje elektroakustiky a videotechniky správně předvídalo význam odbornosti pro budování a obranu socialistické společnosti. V realizaci koncepce se vycházelo ze závěrů XVI. sjezdu KSČ, který položil velký důraz na rozvoj a využití elektroniky v zájmu další intenzifikace a zvyšování efektivnosti hospodářského rozvoje. To postavilo Svazarm před úkol vstoupit do procesu širokého rozvinutí mikroprocesorových systémů a výpočetní techniky při dalším naplňování úkolů v elektroakustice a videotechnice.

VII. sjezd Svazarmu tak mohl konstatovat, že elektroakustika a videotechnika plnila v uplynulém období významné úlohy při podněcování zájmu mládeže o zvyšování technických znalostí, o nové obory elektroniky a tvořivou aplikaci nových poznatků. Iniciativním přístupem k řešení naléhavých potřeb společnosti v oblasti elektroniky se odbornost výrazně podílela na rozšiřování působnosti Svazarmu a prohlubování jeho autority ve společnosti.

Obsah branně technické a ideově výchovné činnosti byl naplňován v souladu se zájmy občanů a potřebami společnosti, a to jak v oblasti vlastní elektroakustiky a videotechniky, tak i ve výpočetní technice, mikroelektronice a jiných aplikacích elektroniky. Proto přijímá 11. zasedání ÚV Svazarmu v r. 1983 pro tuto odbornost název Elektronika.

VII. sjezd Svazarmu zavazuje činnost oborů odbornosti a vytýčuje směry jejich dalšího rozvoje. Radioamatérské, branně sportovní činnosti jsou dále řízeny podle „Směru a úkolů dalšího rozvoje radioamatérské činnosti Svazarmu“ a podílejí se na hlubším propojení individuálních zájmů v jednotě s úkoly branné organizace, stejně jako Kluby elektroniky, které jsou řízeny novou koncepcí: „Hlavní směry a úkoly dalšího rozvoje elektroniky ve Svazarmu“. Úsilí obou je zaměřeno především na výchovu mladých lidí k úloze budovatelů a obránců socialistické společnosti, k jejich obětavé, zodpovědné, houževnaté, nezištné a dobrovolné práci pro společnost.

A tak široce rozvinuté radioamatérské hnutí, ať již amatérů vysíláčů KV, VKV, RTTY, závodníků ROB, rychlotelegrafistů a dalších, stejně jako rychle se rozšiřující kluby elektroniky, jak v audiovizuální, nahrávací a reprodukcí technice, tak zejména v nastupující výpočetní technice, v celé šíři své působnosti v naší společnosti naplňují svou práci odkaz těch, kteří bojovali za naše osvobození, za šťastný a plodný život v naší socialistické republice.

Ing. Jan Klábal

INTEGROVANÉ OBVODY CMOS

Ing. Václav Teska

Úvod

Integrované obvody s komplementárními tranzistory MOS, označované všeobecně jako integrované obvody CMOS, jsou sestaveny z tranzistorů MOSFET (tranzistorů řízených elektrickým polem s izolovanou řídicí elektrodou) s vodivostí kanálů typu n a p.

Princip funkce tranzistoru FET byl objeven v třicátých letech našeho století. Původní práce na řízení vodivosti v polovodičích pomocí elektrického pole pocházejí od J. E. Lilienfelda z roku 1926 a 1930. V roce 1935 byl Oscaru Neilovi udělen britský patent v témže oboru. Vliv elektrického pole na vlastnosti zesilovače byl prakticky poprvé ověřen v roce 1948 u fy Bell Laboratories Group na zesilovači v tuhé fázi. V témže roce E. Shockley a G. L. Pearson v časopise Physical Review popsali svá pozorování, týkající se změn vodivosti v tenké vrstvě polovodiče, způsobené povrchovým nábojem vzniklým vlivem elektrického pole. Trvalo však více než deset let po objevu bipolárního tranzistoru, než se v roce 1960 podařilo difúzí vytvořit vrstvu SiO_2 , která izolovala řídicí elektrodu MOSFET od ostatních elektrod. Princip aplikování tepelné oxidace křemíku ve struktuře unipolárního tranzistoru řízeného polem (FET) popsali v roce 1960 D. Kahng a M. M. Atalla.

Stále rostoucí požadavky z aplikační oblasti vedly v roce 1958 k výrobě prvních číslicových obvodů TTL. Avšak jejich relativně velký příkon byl pro některé aplikace (např. palubní přístroje kosmických lodí) neúnosný a proto se hledaly cesty, jak příkon zmenšit. První vlašťovkou v tomto směru byly IO MOS sestavené z MOSFET s kanálem n nebo p, které se objevily v roce 1962. V roce 1963 byl v laboratořích fy RCA sestaven z hradel CMOS první klopný obvod CMOS a v roce 1964 to byl první třívstupový klopný obvod NAND/NOR. S komerční výrobou obvodů CMOS začala fy RCA v roce 1968, kdy uvedla na trh prvních 15 typů série CD4000A v keramických pouzdrech. V roce 1970 bylo poprvé pro obvody CMOS použito pouzdro z plastické hmoty. V roce 1975 se objevily na trhu obvody SOS/CMOS, které jako podložku používají safír (SOS = Silicon-on-Sapphire). Jinou cestou se dala fy Philips, která v roce 1975 vyvinula technologii LOCOS (obvody CMOS zhotovené technologií místní oxidace); obě technologie zmenšují parazitní kapacity a tím i zpoždění při přenosu signálu obvodem. Technologie CMOS bylo prvně v roce 1974 využito i u analogových obvodů, a to u operačního zesilovače CA3130 fy RCA. Od té doby jsou některé osvědčené obvody převáděny do varianty CMOS, jako např. populární obvod 555 (ICM7555 fy Intersil). Ve variantě

CMOS jsou vyráběny i některé známé mikroprocesory, mikropočítače, paměti, stykové obvody apod. První mikroprocesor CMOS byl na trhu již v roce 1975 pod obchodním názvem COSMAC (fy RCA). Hlavní rozvoj složitých číslicových obvodů a některých analogových obvodů nastává však až po roce 1980, kdy se na trhu objevily rychlé obvody CMOS (HCMOS), které jsou plně schopny nahradit bipolární obvody LS TTL (Schotkyho TTL s malým příkonem).

Jaká je budoucnost obvodů CMOS? Lze říci, že jsou to jedny z nejperspektivnějších obvodů, neboť futurologové předpovídají, že klopné obvody budou mít zpoždění 100 ps, spínací síť VLSI méně než 1 ns na hradlo, zesilovače šířku pásma 50 MHz s dobou zvětšování napětí 20 ns a u analogových systémů bude klíčovací kmitočet 30 MHz. Současně se zaváděním GaAs předpokládá fy RCA v nejbližší době zpracovávat kmitočty přes 100 MHz.

Výrobou obvodů CMOS se ve světě zabývají všichni přední výrobci polovodičových součástek. V USA je to např. fy Motorola, RCA, National Semiconductor, Fairchild, Mittel, Solid State Scientific, Texas Instrument, Intersil, Harris apod. a v Evropě jednak pobočky výše uvedených firem a fy Philips, Valvo, Mullard a SGS-Ates. V Japonsku pak fy Hitachi, Toshiba, Fujitsu apod. V zemích RVHP vyrábí obvody CMOS SSSR, NDR, MLR, RSR, PLR a v ČSSR TESLA Piešťany a TESLA VÚST.

Práce s obvody CMOS

Všechny polovodičové součástky jsou citlivé na statickou elektřinu, především to však platí o součástkách MOS a CMOS, které vyžadují pečlivé zacházení nejen ve výrobě, ale i při přepravě, prodeji a při aplikaci. I když jsou u většiny součástek uvnitř systémů ochranné obvody, které součástku chrání před vlivem statické elektřiny a tím i před poškozením, mohou se součástky poškodit zejména velkým statickým nábojem, rušivým napětím neuzemněných nebo nevhodně uzemněných skupin součástek, nevhodným způsobem pájení, případně kombinací dalších vlivů. Proto je nutné při práci se součástkami MOS dodržovat následující pravidla.

1. Používat pro přepravu a skladování *antistatické zásobníky*. Polovodičové součástky MOS mají zůstat až do upotřebení v původním obalu od výrobce anebo v balení, které je z hlediska ochrany před statickou elektřinou ekvivalentní původnímu. Jinak je třeba ihned po vybalení zkratovat vzájemně všechny vývody. Rovněž mezioperační zásobníky musí být vyrobeny z vodivých nebo antistatických materiálů (např. kovové trubky, kovové fólie, pokovené obaly, antistatické fólie a desky, uhlíkem napaštěné plasty apod.).

2. Pracovník musí být „uzemněn“. Pra-

covník musí být uzemněn přes odpor max. 100 k Ω , k čemuž je vhodný kovový náramek s řetízkem nebo lankem. Pracovník nemá mít na sobě oděv ze syntetických materiálů. Doporučuje se používat antistatickou obuv.

3. Je třeba *zabránit vzniku statické elektřiny*. Povrch montážního stolu musí být vodivý a uzemněný. Všechny použité přístroje, nástroje a přípravky musí být na stejném potenciálu, jako má povrch montážního pracoviště. Sedačka i opěradlo použité židle mají být potaženy textilií z nesyntetických materiálů. Velmi progresivní ochranou je ionizovaný a zvlhčený vzduch.

4. Nikdy se *nedotýkáme přívodů*. Polovodičové součástky MOS se nesmí brát za přívody (nebo se jakýmkoli způsobem přívodů dotýkat), pokud nejsou učiněna ochranná opatření (zkratovány všechny vývody).

5. Je třeba používat *uzemněné páječky a měřicí přístroje*. Polovodičové součástky MOS je nutné do zařízení montovat jako poslední. Přívody před montáží nesmíme zkratovat ani ohýbat nebo kroutit. Pájení je dovoleno jen na dolní zúžené části vývodů. Při ručním pájení je třeba používat uzemněné páječky na malé napětí. Při teplotě hrotu páječky 300 °C je doba pájení maximálně 10 s, při teplotě hrotu páječky 300 až 400 °C se zkracuje na 5 s. Při vypájení obvodů má být teplota hrotu páječky 260 °C a doba pájení max. 5 s. Při vkládání a vyjímání obvodů CMOS z desek s plošnými spoji musí být odpojeny všechny napájecí zdroje. Měřicí přístroje používané při oživování musí být uzemněny.

6. Z pracoviště *odstraníme všechny nevodivé plastické hmoty*. Většina plastických hmot usnadňuje vznik elektrostatického náboje. Jsou to zejména celofánové a plastické obaly, pohárky z plastických hmot, hřebeny, plastické obaly na nástroje, plastické držáky nástrojů, knihy, lakované části dopravníků a zásobníků, trubky z polyetylénu, styroflexu, celofanu apod.

7. *Manipulace s deskami osazenými součástkami MOS*. U desek osazených součástkami MOS, připravených pro další montáž, je třeba zajistit stejný elektrický potenciál na všech vývodech a při manipulaci s nimi je vhodné zkratovat výstupní konektor. Zkrat na konektoru je možné odstranit až na pracovišti, kde jsou splněny podmínky pro omezení vzniku elektrostatického náboje, anebo po vestavění desky do zařízení, v němž již nemůže elektrostatická elektřina vzniknout. Proto je nutné i při dopravě zkratovat výstupní konektor. Obvody musí být také chráněny před špičkovým napětím. Logické signály smí být na desku přivedeny až po připojení napájecího napětí. U obvodů CMOS musí být všechny nezapojené vývody připojeny buď na napájecí napětí nebo na zem.

Tab. 1. Parametry různých typů logických obvodů

Typ logiky	Napájecí napětí U_B [V]	Odstup rušivého napětí [V]	Logický zisk	Zpoždění t_{PHL} hradla [ns]	Maximální kmitočet klopného obvodu [MHz]	Příkon hradla [nW]
CMOS 4000B	5 až 10 (3 až 15)	40 % U_B	50	40 až 20	8 až 16	10
CMOS 74C	5 až 10 (3 až 15)	40 % U_B	50	50 až 30	3 až 8	10 až 30
CMOS 74SC	5 (3 až 7)	40 % U_B	50	36	30	10
CMOS 74HC	5 (2 až 6)	30 % U_B	10 LSTTL	6	60	10
CMOS 74HCT	5 (2 až 6)	30 % U_B	10 LSTTL	6	60	10^3
CMOS 74HCU	5 (2 až 6)	30 % U_B	10 LSTTL	6	60	10^3
TTL 74...N	5	1	10	10	35	10^7
TTL 74L...N	5	1	10	33	3	10^6
TTL 74S...N	5	1	10	3	125	$1,9 \cdot 10^7$
TTL 74LS...N	5	1	20	10	45	$2 \cdot 10^6$
TTL 74AS...N	5	1	20	1,5		$2,2 \cdot 10^7$
TTL 74ALS...N	5	1	20	4	50	10^6
DTL	5	0,7	10	30	5	$8 \cdot 10^6$
HTL	15	4	10	85	3	$3 \cdot 10^7$
ECL 10 000	-5,2	0,17	70	2	125	$2,5 \cdot 10^7$

Základní vlastnosti obvodů CMOS

Integrované obvody CMOS a to jak digitální, tak i analogové se oproti obvodům zhotoveným jinými technologiemi liší hlavně tím, že mají:

- velmi malý příkon ve statickém režimu,
- velký rozsah napájecích napětí,
- jednoduché napájení,
- velkou šumovou imunitu, která se zvětšuje se zvětšujícím se napájecím napětím,
- velký rozsah pracovních teplot,
- velký logický zisk,
- všechny vstupy a výstupy jsou chráněny před přepětím,
- malé zpoždění signálu při přenosu ze vstupu na výstup, které je u obvodů HCMOS srovnatelné s obvody LS TTL.

Vzhledem k použitým koncovým stupňům je vliv kapacitní zátěže na zpoždění poměrně malý. Vzhledem k dobré šumové imunitě se zjednodušují požadavky na sestavení celých zapojení. Obvody CMOS se vyrábějí jednak s výkonovými koncovými stupni – na konci znaku mají písmeno B – a jednak s nevýkonovými koncovými stupni – na konci znaku mají písmeno U.

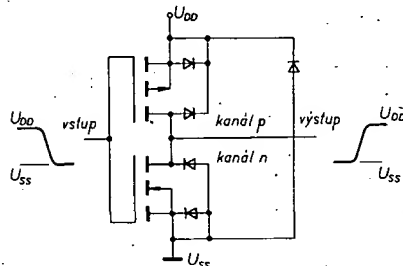
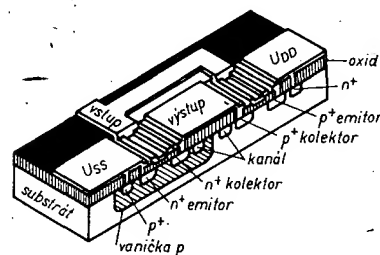
Obvody CMOS jsou vyráběny ve dvou typových řadách, jednak v řadě 4000 a jednak 54C, 74C, 74SC, 74HC, 74HCT, 74HCU. V tab. 1 je srovnání různých typů logik z hlediska některých parametrů. Z tab. 1 je zřejmé, že pokud v navrhovaném zapojení požadujeme velký rozsah napájecích napětí, dobrou šumovou imunitu, malý příkon a střední pracovní rychlost, pak nejideálnějším použitým stavebním prvkem bude obvod CMOS, který splňuje danou funkci. Paleta obvodů spl-

ňujících všechny nároky je v současné době tak široká, že nebude problémem jednoduše realizovat požadované zapojení. Přehled základních společných parametrů řady 4000 a řady 74HC je v tab. 2.

Všeobecné charakteristiky IO CMOS

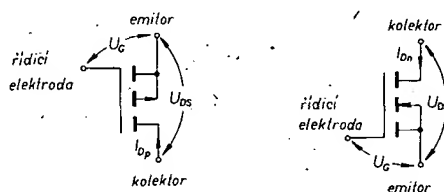
Invertor

Základním stavebním prvkem logických obvodů CMOS je invertor, který je sestaven z komplementární dvojice tranzistorů MOSFET podle obr. 1. Abychom



Obr. 1. Základní zapojení MOSFET v invertoru

dobře pochopili jeho činnost, popíšeme si funkci MOSFET s kanálem n a p. Rovnice, které popisují chování MOSFET s kanálem n a MOSFET s kanálem p, vycházejí z obr. 2. Nejprve si však definujeme základ-

MOSFET s kanálem p
substrát: Si typ n
kolektor-emitor difúze typ pMOSFET s kanálem n
substrát: Si typ p
kolektor-emitor difúze typ n

Obr. 2. Vysvětlení symbolů k rovnicím

ní pojmy – prahové napětí je napětí řídicí elektrody, při kterém MOSFET začne vést a je dáno použitým materiálem a technologií. Při menším napětí řídicí elektrody je MOSFET nevodivý. Při nesaturovaném stavu je absolutní napětí řídicí elektrody větší než absolutní hodnota součtu kolektorového a prahového napětí, kdežto v saturovaném stavu je absolutní hodnota součtu kolektorového a prahového napětí větší než napětí řídicí elektrody, které musí být větší než napětí prahové. Jinými slovy řečeno, při saturovaném stavu se při

Tab. 2. Základní parametry IO CMOS

Parametr	Řada 4000	Řada 74HC	Poznámka
Mezní údaje			
Napájecí napětí U_{DD} [V]	-0,5 až +18	-0,5 až 7	
Vstupní napětí U_1 [V]	-0,5 až $U_{DD} + 0,5$	-0,5 až $U_{DD} + 0,5$	
Max. vstupní proud I_1 [mA]	10	10	
Max. záporný vstupní proud $-I_1$ [mA]	-10	-10	
Max. ztrátový výkon P_z [mW]	400	500	
Rozsah pracovních teplot t_u [°C]	-40 až +85	-40 až +85	
Provozní údaje			
Rozsah napájecích napětí U_{DD} [V]	3 až 18	2 až 6	$U_{DD} = 5\text{ V}$
Vstupní napětí pro „1“ U_{1H} [V]	3,5 až 5	3,5 až 5	$U_{DD} = 10\text{ V}$
	7 až 10		$U_{DD} = 15\text{ V}$
Vstupní napětí pro „0“ U_{1L} [V]	0 až 1,5	0 až 1,5	$U_{DD} = 5\text{ V}$
	0 až 3		$U_{DD} = 10\text{ V}$
	0 až 4,5		$U_{DD} = 15\text{ V}$
Výstupní napětí pro „1“ U_{2H} [V]	4,99	4,95	$U_{DD} = 5\text{ V}$
	9,99		$U_{DD} = 10\text{ V}$
	14,99		$U_{DD} = 15\text{ V}$
Výstupní napětí pro „0“ U_{2L} [V]	0,05	0,05	$U_{DD} = 5\text{ V}$
	0,05		$U_{DD} = 10\text{ V}$
	0,05		$U_{DD} = 15\text{ V}$
Výstupní proud pro „1“ I_{2H} [mA]	-0,7	-4	$U_{DD} = 5\text{ V}$
	-1,4		$U_{DD} = 10\text{ V}$
	-2,2		$U_{DD} = 15\text{ V}$
Výstupní proud pro „0“ I_{2L} [mA]	0,8	4	$U_{DD} = 5\text{ V}$
	2		$U_{DD} = 10\text{ V}$
	3,6		$U_{DD} = 15\text{ V}$
Vstupní zbytkový proud I_{1Z} [nA]	100	1000	$U_{DD} = 5\text{ V}$
	100		$U_{DD} = 10\text{ V}$
	1000		$U_{DD} = 15\text{ V}$

zvětšujícím se kolektorovém napětí již podstatně nemění kolektorový proud, kdežto v nesaturovaném stavu se kolektorový proud značně mění s kolektorovým napětím. Tato změna je závislá na napětí řídicí elektrody.

MOSFET s kanálem p v nesaturovaném stavu:

$$U_{DS} \cong (U_G - U_{Tp}),$$

kde U_{Tp} je prahové napětí,

když $U_{DS} \leq 0; U_G = 0; U_G \leq U_{Tp} \leq 0$

$$a -I_{Dp} = K_p \left[(U_G - U_{Tp}) U_{DS} - \frac{U_{DS}^2}{2} \right]$$

MOSFET s kanálem p v saturovaném stavu:

$$U_{DS} \cong (U_G - U_{Tp}),$$

$$-I'_{Dp} = K_p (U_G - U_{Tp})^2 / 2.$$

MOSFET s kanálem n v nesaturovaném stavu:

$$U_{DS} \cong (U_G - U_{Tn}),$$

kde U_{Tn} je prahové napětí,

když $U_{DS} \geq 0; U_G \geq 0; U_G \geq U_{Tn} > 0$

$$a I_{Dn} = K_n \left[(U_G - U_{Tn}) U_{DS} - \frac{U_{DS}^2}{2} \right]$$

MOSFET s kanálem n v saturovaném stavu:

$$U_{DS} \cong (U_G - U_{Tn}),$$

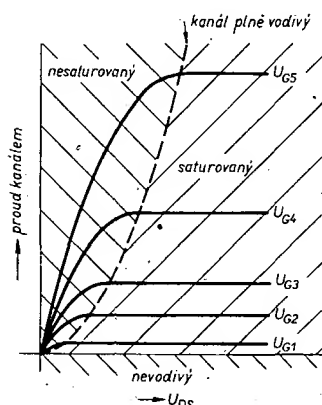
$$I'_{Dn} = \frac{K_n}{2} (U_G - U_{Tn})^2$$

(ve vypnutém stavu, kdy $|U_G| < |U_T|$, nestačí napětí na řídicí elektrodě k vytvoření vodivého kanálu)

$$\text{kde } K_p = \frac{\mu_p Z C_{ox}}{L} \text{ a } K_n = \frac{\mu_n Z C_{ox}}{L}$$

kde μ_p, μ_n je povrchová pohyblivost elektronů v kanálu, Z je šířka kanálu, L je délka kanálu a C_{ox} je kapacita vytvořená křemíkovým substrátem a kovovou řídicí elektrodou s dielektrikem, tvořeným vrstvou SiO_2 mezi nimi.

Na obr. 3 jsou charakteristiky obohaceného typu tranzistoru MOSFET („oboha-



Obr. 3. Voltampérová charakteristika obohaceného MOSFET

cený“ tranzistor MOSFET vede, je-li U_G větší než U_T , kdežto „ochuzený“ tranzistor vede, je-li $U_G = 0$. Kolektorový proud je možné zmenšit přivedením polarity opačné napětí na řídicí elektrodu. Na obr. 3 je závislost proudu kanálem na napětí emitor-báze, definovaná předchozími rovnici. Použijeme-li zapojení MOSFET s kanálem n a p podle obr. 1, lze rovnice převést na následující tvar:

$$I_{Dn} = K_n \left[U_2 (U_1 - U_{Tn}) - \frac{U_2^2}{2} \right]$$

pokud platí $U_2 \leq U_1 - U_{Tn}; U_1 > U_{Tn}$.

MOSFET s kanálem n v saturovaném stavu:

$$I'_{Dn} = \frac{K_n}{2} (U_1 - U_{Tn})^2,$$

když $U_2 \geq U_1 - U_{Tn}; U_1 > U_{Tn}$.

MOSFET s kanálem p v nesaturovaném stavu:

$$I_{Dp} = -K_p \left[(U_2 - U_{Dd}) (U_1 - U_{Dd} - U_{Tp}) - \frac{(U_2 - U_{Dd})^2}{2} \right]$$

když $U_2 \geq U_1 + |U_{Tp}|; U_1 \leq U_{Dd} - |U_{Tp}|$.

MOSFET s kanálem p v saturovaném stavu:

$$I'_{Dp} = -\frac{K_p}{2} (U_1 - U_{Dd} - U_{Tp})^2,$$

když $U_2 \leq U_1 + |U_{Tp}|; U_1 \leq U_{Dd} + |U_{Tp}|$.

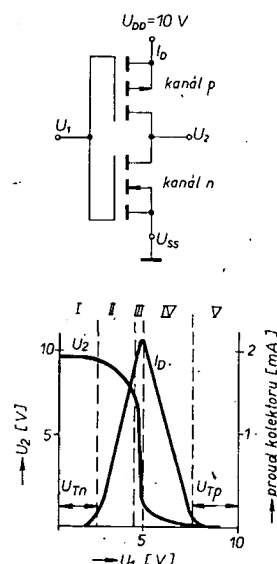
Při výrobě přechodu emitor-kolektor a difúzi vaničky p vzniká parazitní dioda, která je propojena se základnou (obr. 1). Tato parazitní dioda je vzhledem k napájecímu napětí zapojena v závěrném směru a je prvotním zdrojem výkonové ztráty obvodu v klidovém režimu.

Dále si popíšeme podrobněji chování komplementárního páru MOSFET, zapojeného jako invertor. Na obr. 4 jsou napěťové přenosové charakteristiky (závislost vstupního napětí U_1 na výstupním napětí U_2) pro základní zapojení invertoru a napájecí napětí $U_{Dd} = 10$ V. Tuto charakteristiku můžeme rozdělit na pět oblastí, v nichž jsou vyjádřeny stavy tranzistorů T_1 a T_2 , které jsou shrnuty do tab. 3.

Je-li vstupní napětí U_1 menší než napětí prahové U_{Tn} tranzistoru T_2 s kanálem n, tranzistor nevede, neboť na jeho řídicí elektrodě bude napětí blízké nule. Na výstupu bude napětí přibližně rovné U_{Dd} , protože tranzistor s kanálem n má oproti tranzistoru s kanálem p velký odpor. To platí pro oblast I. Bude-li se napětí U_1 zvětšovat, dostaneme se do oblasti II, kde T_2 je v saturovaném stavu, $U_{Tn} \cong U_1$. V této oblasti přechází T_1 do saturovaného stavu a $U_2 - |U_{Tp}| \cong U_1$. V oblasti III jsou oba tranzistory ve zcela saturovaném stavu a tvoří dokonalý zdroj proudu. Oblast III je oblastí velkého zisku. V oblasti IV přechází tranzistor T_2 do nesaturovaného stavu, neboť $U_2 + U_{Tn} \cong U_1$, a tranzistor T_1 do

saturovaného stavu, protože $U_1 \cong U_{Dd} - |U_{Tp}|$. V oblasti V je tranzistor T_1 uzavřen, protože $U_1 \cong U_{Dd} - |U_{Tp}|$ a tranzistor T_2 povede a je v nesaturovaném stavu.

V oblastech I, II a III má invertor na výstupu vůči napájecímu napětí U_{Dd} malý odpor (550 až 1000 Ω) a v oblastech I a II velký odpor mezi výstupem a zemí. V oblasti III má invertor malý odpor jak mezi výstupem a U_{Dd} , tak i mezi výstupem a zemí. V oblastech II, III a IV (oba tranzistory v saturovaném nebo nesaturovaném stavu) protéká proud mezi U_{Dd} a zemí. Na obr. 4 je závislost I_D na U_1



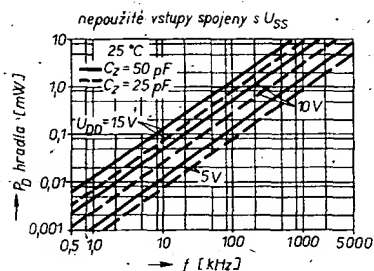
Obr. 4. Napěťové (proudové) charakteristiky invertoru

současně s napěťovou přenosovou charakteristikou. Proudovou přenosovou charakteristiku získáme měřením proudu tekoucího mezi U_{Dd} a U_{ss} v závislosti na vstupním napětí. Je-li vstupním signálem pravouhlý impuls (trvání čela a týlu hrany v rozsahu 20 až 200 ns), neteče proud I_D současně přes oba tranzistory T_1 a T_2 ; předpokládáme, že T_1 je uzavřen (oblast V) a T_2 je otevřen. Bude-li mít vstupní napětí U_1 rozkmit mezi U_{Dd} a zemí, pak se během periody otevrou T_1 a T_2 (oblasti II, III a IV). Výstupní napětí se zmenší k nule, pokud budou vodivé T_1 a T_2 . Přitom je nutné brát do úvahy svod a zatěžovací kapacitu. Přes T_2 poteče malý proud k zemi. Vzhledem k této skutečnosti bude výkonová ztráta obvodů CMOS, vedle závislosti na přenášeném kmitočtu, závislá i na zatěžovací kapacitě. Dynamická výkonová ztráta obvodů CMOS je jednak závislá na zatěžovací kapacitě a jednak na kmitočtu, kterým je tato kapacita nabíjena a vybíjena. Na obr. 5 je závislost dynamické výkonové ztráty na kmitočtu při různých napájecích napětích. Větší operační rychlost vyžaduje větší napájecí napětí a současně se zvětšuje i výkonová ztráta. Totéž platí i o větší zatěžovací kapacitě.

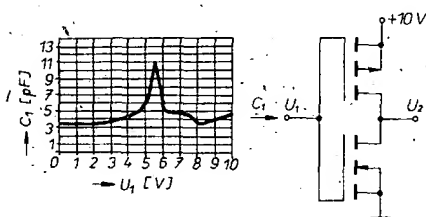
Vstupní kapacita je závislá na vstupním napětí (obr. 6) a zvětšuje se, pokud je

Tab. 3. Stavy tranzistorů v invertoru

U_1	Oblast	T_1	T_2
$0 \leq U_1 \leq U_{Tn}$	I	nesaturován	nevodivý
$U_2 - U_{Tp} \leq U_1 \leq U_{Tn}$	II	nesaturován	saturován
$U_2 - U_{Tp} \leq U_1 \leq U_2 + U_{Tn}$	III	saturován	saturován
$U_2 + U_{Tn} \leq U_1 \leq U_{Dd} - U_{Tp} $	IV	saturován	nesaturován
$U_{Dd} - U_{Tp} \leq U_1 \leq U_{Dd}$	V	nevodivý	nesaturován



Obr. 5. Výkonová ztráta invertoru



Obr. 6. Závislost vstupní kapacity na vstupním napětí

výstup v oblasti přechodu (oblast III). Tento jev je způsoben vnitřní zpětnou vazbou. Při běžných provozních podmínkách se tento jev neuplatňuje, protože k přenosu na vstup dojde dřív, než se může uplatnit zpětná vazba, což je ovlivněno i zpožděním invertoru.

Stejnoseměrné přenosové charakteristiky invertoru CMOS mohou být vypočteny ze stejnosměrných voltampérových charakteristik MOSFET s kanálem n a p . Využijeme-li zjednodušené teorie pro tranzistory MOSFET, pak pro MOSFET s kanálem n platí první dvě z posledně uvedených rovnic a pro MOSFET s kanálem p rovnice třetí a čtvrtá. V oblasti velkého zisku (oblast III), kde $U_2 - |U_{TP}| = U_1 = U_2 + |U_{TN}|$, bude proud roven:

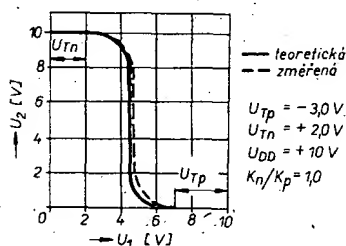
$$I'_{Dn} + I'_{Dp} = 0.$$

Po dosažení a úpravě této rovnice můžeme vypočítat přenesené napětí U'_1 :

$$U'_1 = \frac{U_{DD} + U_{TP} + U_{TN} \sqrt{K_n/K_p}}{1 + \sqrt{K_n/K_p}}$$

Při vhodném návrhu parametrů tranzistorů může být přenesené napětí navrženo pro maximální odstup rušivých signálů, kdy $U'_1 = U_{DD}/2$. Toho dosáhneme při $|U_{TN}| = |U_{TP}|$, když $K_n = K_p$; liší-li se U_{TP} a U_{TN} vzájemně, lze napětí optimalizovat geometrickým uspořádáním tranzistorů. V daném invertoru se K_n a K_p od sebe liší, takže byl zvolen kompromis mezi odstupem rušivých signálů a spínací rychlostí.

Na obr. 7 jsou vypočítané a změřené přenosové napěťové charakteristiky in-



Obr. 7. Přenosová charakteristika invertoru

vertoru CMOS, u něhož K_n/K_p je přibližně rovno jedné, prahové napětí $U_{TN} = +2$ V, $U_{TP} = -3$ V a $U_{DD} = 10$ V.

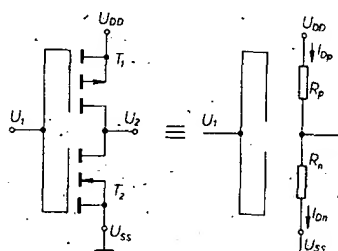
Dále lze odvodit výstupní napětí U_2 jako funkci vstupního napětí U_1 z rovnic pro oblast II, III a IV:

$$\text{Oblast II: } U_2 = U_1 - U_{TP} + [(U_{DD} - U_{TP} - U_1)^2 + \frac{K_n}{K_p} (U_1 - U_{TN})^2]^{1/2}$$

$$\text{III: } U_1 = U'_1, \text{ když platí } U'_1 - U_{TN} = U_2 = U'_1 - U_{TP}$$

$$\text{IV: } U_2 = U_1 - U_{TN} - [(U_1 - U_{TN})^2 + \frac{K_p}{K_n} (U_1 - U_{DD} - U_{TP})^2]^{1/2}$$

Z rovnic je zřejmé, že přenosové charakteristiky invertoru CMOS jsou v oblasti blízké velkému zisku charakterizovány definovanými úrovněmi „1“ a „0“. Tyto charakteristiky se blíží charakteristikám ideálního spínače. Funkce invertoru CMOS může být simulována dvěma napěťově závislými odpory R_n a R_p , zapojenými do série podle obr. 8. Vliv sériového



Obr. 8. Náhradní zapojení invertoru

a paralelního spojení tranzistorů na stejnosměrné charakteristiky obvodu je vyjádřen konstantami K_n a K_p . Budou-li tranzistory zapojeny paralelně, bude na jejich vstupech stejné napětí a proud násobíme činitelem n ($K_{ei} = nK$). Při sériovém zapojení tranzistorů se celkový proud zmenší o činitel n ($K_{ei} = K/n$). Použijeme-li rovnice pro I'_{Dn} a I'_{Dp} , pak pro přenesené napětí U'_1 bude platit:

$K_n (U'_1 - U_{TN})^2 = K_p (U'_1 - U_{DD} - U_{TP})^2$, položíme-li $K_n/K_p = \beta$, pak $\beta (U'_1 - U_{DD} - U_{TP})^2 = (U'_1 - U_{TN})^2$. Činitel β u hradel NOR a NAND závisí na počtu vstupů. U hradla NOR nastane nejpříznivější stav tehdy, když je jen na jednom ze vstupů

větší napětí než na ostatních. Tehdy $\beta_{ei} =$

$$= \frac{K_p}{nK_n} = \frac{\beta}{n}$$

Pak dojde k tomu, že odpor všech kanálů n bude rovný odporu všech kanálů p , zapojených do série. U hradel NAND odpor kanálu n může být rovný sériovému odporu kanálu p . Výpočtem lze dokázat, že počet přímých vstupů u hradel NAND a NOR je omezen na čtyři, jinak je velmi těžké udržet přenosové charakteristiky v rámci požadavků na odstup, rušivých signálů.

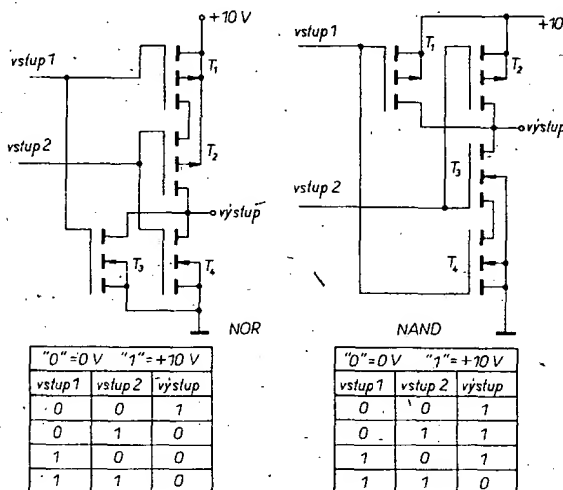
Hradla NAND a NOR

Na obr. 9 jsou invertory CMOS zapojeny jako hradla NAND a NOR. Nejprve budeme uvažovat funkci NOR, při níž jsou spolu propojeny řídicí elektrody tranzistorů T_1 a T_3 a tvoří vstup 1, kdežto řídicí elektrody tranzistorů T_2 a T_4 tvoří vstup 2. MOSFET T_2 pracuje jako sériový odpor, který je buď hodně velký nebo malý a je závislý na tvaru signálu na řídicí elektrodě T_1 a T_3 . Podobně MOSFET T_1 je sériovým odporem pro druhý invertor. Na výstupu obvodu bude $+10$ V pouze tehdy, povedou-li T_1 a T_2 . K tomu dojde pouze tehdy, když vstup 1 a vstup 2 budou na „zemi“. Na výstupu bude log. 1, bude-li na obou vstupech log. 0, což odpovídá funkci NOR. Hradlo NOR může být převedeno na hradlo NAND záměnou MOSFET s kanálem n a p a obrácením obvodu „vzhůru nohama“. Log. 0 na výstupu dostaneme, povedou-li T_3 a T_4 . Propojení několika komplementárních párů umožňuje sestavit tři a čtyřvstupová hradla.

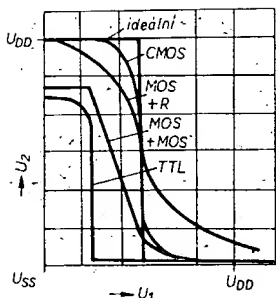
Na obr. 10 jsou přenosové charakteristiky hradla CMOS, jednak přenosové charakteristiky závislé na teplotě, a jednak přenosové charakteristiky závislé na napájecím napětí. K přenosu dochází asi při vstupním napětí rovném 45 % napětí napájecího, což umožňuje provoz obvodů CMOS v širokém rozsahu napájecích napětí. Protože výstup je izolován od svorek U_{DD} i U_{SS} , mohou být obvody CMOS napájeny i záporným napětím, je však nutno dodržet podmínku, že U_{DD} bude vždy kladnější než U_{SS} .

Přenosový člen

Dalším důležitým stavebním prvkem při konstrukci obvodů CMOS je přenosový



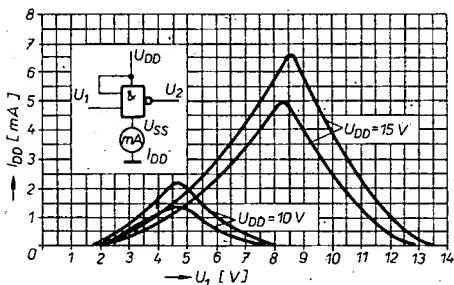
Obr. 9. Dvouvstupová hradla CMOS



Obr. 17. Porovnání napětových přenosových charakteristik různých logických obvodů

u 99,7 % součástek souboru. Z obr. 16 je zřejmý velký odstup rušivého signálu a symetrie spínacích charakteristik. Pro porovnání jsou na obr. 17 spínací charakteristiky různých typů logických obvodů, které jsou porovnávány s charakteristikou ideálního spínače. Rozptyl údajů v následujících obrázcích slouží pouze pro demonstraci a nebývá zaručován žádným výrobkem IO.

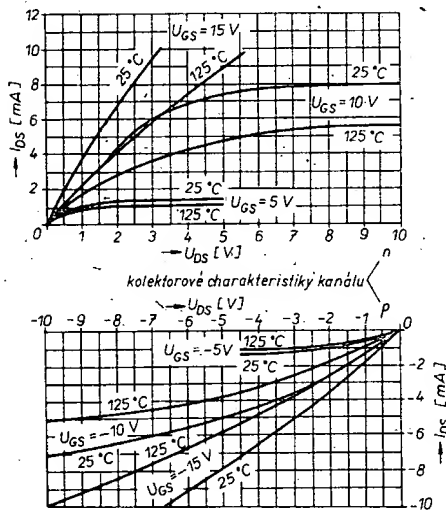
Obvod CMOS vede proud jen tehdy, nachází-li se v přenosové oblasti (oblast III na obr. 4). Vedou-li oba tranzistory, teče proud mezi U_{DD} a U_{SS} . Na obr. 18 jsou proudové přenosové charakteristiky hradla NAND



Obr. 18. Proudové přenosové charakteristiky

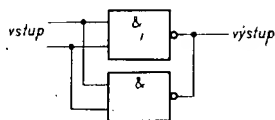
typu 4011. Stejně jako v předchozím případě byly proudové přenosové charakteristiky při $U_{DD} = 5$ V a $U_{DD} = 10$ V získány měřením 10 ks IO typu 4011. Tyto proudové charakteristiky mají zásadní význam u obvodů CMOS, neboť na velikosti proudu závisí rychlost nabití a vybití zatěžovací kapacity a tedy i doba spínání. Základní charakteristiky kanálu n a kanálu p vyjádřené kolektorovými charakteristikami tranzistorů MOSFET s kanálem n a p určují schopnost dosáhnout krátkých spínacích časů. Z obr. 19 je zřejmý rozptyl

kolektorových charakteristik při měření 50 ks IO typu 4011, z obrázku je vidět rozptyl o $\pm 3\delta$ pro $U_{DD} = 5$ V, 10 V a 15 V a aritmetický průměr tohoto rozptylu. Se zvětšujícím se U_{DD} se zmenšuje impedanace vodivého kanálu. Výstupní proud kanálu je závislý na teplotě, jak je to zřejmé z kolektorových charakteristik na obr. 20 (závislosti U_{DS} na I_{DS} při teplotě 25 a 125 °C).



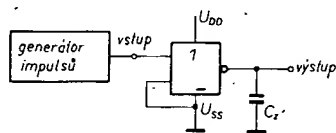
Obr. 20. Teplotní závislost výstupních charakteristik obvodu 4011

Výstupní zatěžovací charakteristiky se uplatní, používáme-li obvod CMOS jako interface pro obvody DTL, ECL, TTL nebo jako budič pro tranzistory n-p-n a p-n-p. Zatížitelnost hradel a invertorů může být zvětšena paralelním spojením vstupů a výstupů hradel a invertorů umístěných na stejném čipu. Proudová zatížitelnost roste přímo úměrně s počtem paralelně spojených vstupů a výstupů (obr. 21). Se zvětšováním proudové zatížitelnosti se může někdy zvětšit i spínací rychlost.



Obr. 21. Paralelní spojení vstupů a výstupů

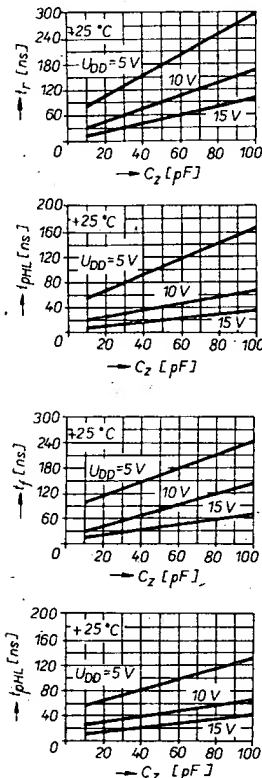
Jak již bylo uvedeno, jsou zpoždění a doba přenosu obvodů CMOS dány zatěžovací kapacitou. Na obr. 22 jsou podmínky pro měření spínací rychlosti.



Obr. 22. Zapojení pro určení spínacích časů

Délka čela a týlu impulsu na vstupu je nastavena na 20 ns. Délka čela a týlu impulsu na výstupu (t_r a t_f) se měří mezi 10 a 90 % přenášeného napětí. Zpoždění t_{PLH} a t_{PHL} se určují pro 50 % úrovně na vstupu i na výstupu.

Na obr. 23 jsou některé typické charakteristiky v závislosti na zatěžovací kapacitě a na napájecím napětí a je zřejmé, že spínací rychlost můžeme měnit změnou napájecího napětí nebo změnou zatěžovací kapacity. Hradla NAND a NOR mají při

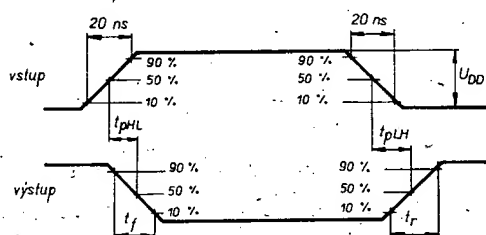


Obr. 23. Závislost spínacích dob na zatěžovací kapacitě a U_{DD}

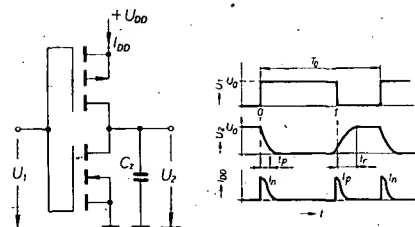
napájecím napětím 10 až 15 V a zatěžovací kapacitě 15 nF dobu zpoždění signálu 12 až 25 ns (platí pro obvody řady 4000).

Ztrátový výkon

Ztrátový výkon je jednou z hlavních omezujících podmínek použití obvodů. Obvody CMOS mají klidový ztrátový výkon P_{st} řádu desítek nW. Pokud však pracují obvody CMOS ve spínacím (pracovním) režimu, je střední proud tekoucí obvodem dán spínací dobou a počtem sepnutí za 1 s. Ztrátový výkon v závislosti na vstupním napětí a zatěžovací kapacitě můžeme určit z obr. 24. Průměrný ztrátový



Obr. 19. Rozptyl výstupních charakteristik obvodu 4011



Obr. 24. Stanovení výkonové ztráty

výkon při pravoúhlém vstupním napětí je dán:

$$P = \frac{1}{T_0} \int_0^{T_0/2} I_n U_2 dt + \frac{1}{T_0} \int_{T_0/2}^{T_0} I_p (U_{DD} - U_2) dt$$

Nahradíme-li $I_n = I_p = C_L \frac{dU_2}{dt}$ (platí pouze při zvětšujícím se vstupním napětí), pak:

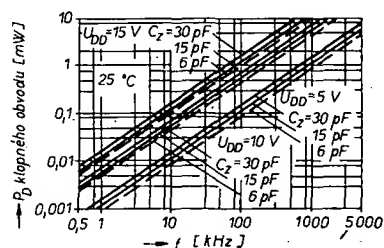
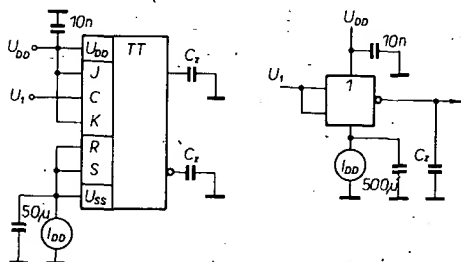
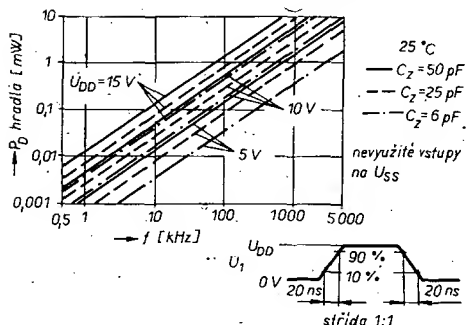
$$P = \frac{C_L U_{DD}^2}{T_0} = C_L U_{DD}^2 f_0$$

Celkový ztrátový výkon P_D je roven součtu P_{st} a P , takže bude:

$$P_D = P_{st} + C_L U_{DD}^2 f_0$$

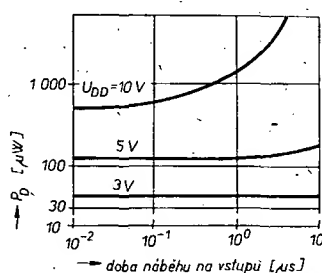
Ztrátový výkon je přímo úměrný energii potřebné k nabití a vybití zatěžovací kapacity, napájecímu napětí U_{DD} a kmitočtu spínacích impulsů a nezávisí na parametrech součástky.

Tvar vstupního impulsu je na obr. 25, je stejný jak pro hradlo NOR typu 4001, tak pro klopny obvod J-K typu 4027. Z obrázku je patrný vliv různých zatěžovacích



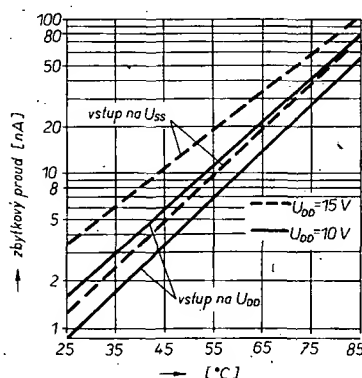
Obr. 25. Ztrátový výkon jako funkce kmitočtu, zatěžovací kapacity a U_{DD}

kapacit C_L a vliv napájecího napětí U_{DD} . Rovnice pro P platí pouze pro skokové vstupní napětí – délky čela a týlu impulsu jsou nulové; nejsou-li nulové, je situace jiná, neboť ne celý proud je využit pro nabíjení zatěžovací kapacity. Obvod zůstává totiž dále ve stavu, kdy MOSFET s kanálem n a p jsou vodivé. Na obr. 26 je závislost výkonové ztráty na délce čela impulsu na vstupu pro kmitočet 100 kHz. Při malých napájecích napětích platí vztah pro P i pro dlouhé čelo a tyl impulsu, avšak pro napájecí napětí U_{DD} větší než 10 V a délku čela a tylu impulsu větší než 200 ns je příkon obvodů CMOS větší než podle vztahu pro P . V praxi na to musíme pamatovat a impuls s dlouhým čelem a tylem můžeme připojit pouze na pět vstupů. Jak již bylo uvedeno, proud tekoucí mezi U_{DD} a U_{SS} závisí na délce čela impulsu. Přírozenou vlastností obvodů CMOS je, že jsou vždy v jednom z logických stavů, tj. vždy jeden tranzistor vede a druhý nikoli. Proud mezi U_{DD} a U_{SS} teče



Obr. 26. Výkonová ztráta jako funkce náběhu na vstupu

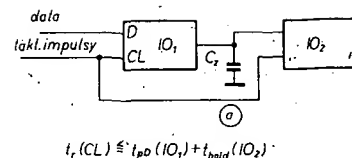
jen v době mezi oběma stavy. Avšak během klidového stavu vzniká rovněž ztrátový výkon, který je dán zbytkovým proudem zavřeného tranzistoru. Zbytkový proud vzniká na přechodu p-n a závisí na teplotě. Na obr. 27 je závislost zbytkového proudu na teplotě pro obvod typu 4011.



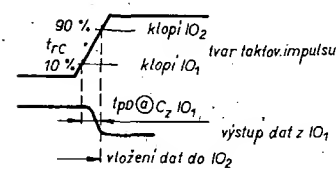
Obr. 27. Závislost zbytkového proudu na teplotě

Požadavky na tvar taktovacího impulsu

Podle velikosti napájecího napětí bude maximální „náběh“ a „sestup“ (délka čela a tylu v rozsahu 10 až 90 % změny



$$t_r(C_L) \leq t_{p0}(IO_1) + t_{p0}(IO_2)$$



Obr. 28. Maximální doba taktu je omezena prahovými napětími

úrovně) taktovacího impulsu v rozsahu 5 až 15 μs . Pokud je náběh a sestup systému v těchto mezích, nedochází k falešnému překlápění a nezvětšuje se ani ztrátový výkon. Na obr. 28 je příklad vlivu „náběhu“ impulsu na zvlnění dat při kaskádě spouštěných paměťových prvcích. Doba přenosu taktovacího impulsu je závislá také na součtu doby zpoždění na výstupu budícího stupně při dané kapacitní zátěži a zpoždění na vstupech taktovacích impulsů připojených na daný výstup (obr. 28).

Odstup rušivých signálů u obvodů CMOS

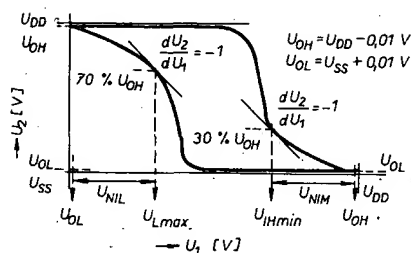
Odstup rušivých signálů obvodů CMOS je závislý na napájecím napětí, logickém zisku na vstupu a výstupu, rozptylové indukčnosti a kapacitě, zdrojích rušení a tvaru rušivého signálu a na odlišnosti jednotlivých čipů. Všeobecná analýza odstupu rušivých napětí u logických obvodů je komplexní problém, při němž je nutné počítat s mnoha proměnnými. Většina výrobců integrovaných obvodů definuje odstup rušivých signálů jako poměr užitečného signálu k signálu rušivému v závislosti na době trvání impulsu. K definici je však vhodnější použít energii rušivého signálu, která způsobí nežádoucí výstupní úroveň.

Obvody CMOS mají obvykle úroveň signálu větší než ostatní logické obvody. Avšak jejich „energetický“ odstup rušivých signálů nemusí být podstatně větší než u ostatních logických obvodů, protože mají relativně větší výstupní impedanci. Odstup rušivých signálů je kromě jiného závislý i na kmitočtu zpracovávaného signálu. Je-li zdroj rušení kapacitně navazan na vodič signálu, pak lze tvrdit, že čím pomalejší je daná logika, tím lepší má odstup rušivých signálů.

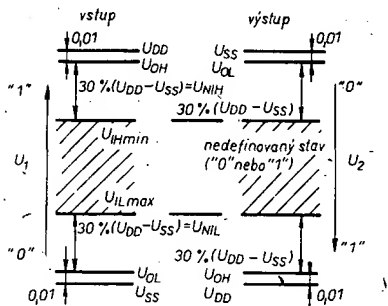
Různé zdroje rušení jsou rozděleny podle logických systémů. Nejčastěji se používá následující klasifikace zdrojů rušení:

1. **Vnější rušení** – okolní rušení pronikající do systému.
2. **Rušení po napájecím vodiči** – rušení vznikající ve stejnosměrném a střídavém napájecím zdroji.
3. **Rušení v zemnicím vodiči** – rušení vznikající v důsledku nevhodných smyček a nevhodným propojením zemí.
4. **Křížové rušení** – rušení pronikající ze sousedního vodiče do signálu.
5. **Odrasy na vodiči signálu** – rušení z nedefinované signálové cesty, která může být nepříznivě ovlivněna nebo přerušena.

Celkové rušení je nahodilá kombinace různých zdrojů rušení, kterou je nutné analyzovat případ od případu. Dříve popsané způsoby testování jsou, vzhledem k definici rušivého signálu, diskutovatelné. Proto je výhodné odstup rušivých



Obr. 29. Definice odstupu rušivých napětí



Obr. 30. Poměry mezi vstupem-výstupem při odstupu rušivých napětí

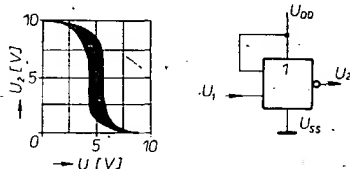
signálů nejlépe specifikovat na odstup stejnosměrných rušivých napětí, odstup střídavých rušivých napětí, odstup energie rušivého signálu.

Odstup stejnosměrných rušivých napětí

je definován jako maximální stejnosměrné napětí, které, přivedeno na vstup invertoru, způsobí změnu jednoho stavu na druhý. Změna nenastane, je-li zisk invertoru menší než jedna. Změna je závislá na poloze bodů přenosové charakteristiky pro jednotkový zisk invertoru. Obvody CMOS mají odstup rušivých napětí na úrovni 45 % napětí napájecího (někteří výrobci CMOS zaručují odstup jen pro 30 % napájecího napětí).

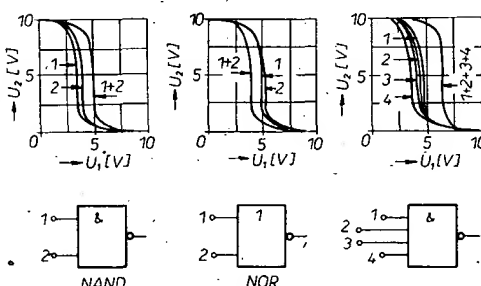
Výrobci obvodů CMOS udávají jednotkový zisk pro definování nejhoršího odstupu stejnosměrných rušivých napětí, který je podle obr. 29 a 30 definován pro danou skupinu logických obvodů vztahy: $U_{NIL} = U_{ILmax} - U_{OL}$ - odstup rušivých napětí na vodiči signálu při úrovni L, $U_{NIH} = U_{OH} - U_{IHmin}$ - odstup rušivých napětí na vodiči signálu při úrovni H, kde: U_{OH} je minimální napětí na výstupu při úrovni H, U_{OL} maximální výstupní napětí při úrovni L, U_{IHmin} minimální výstupní napětí při úrovni H, zaručující příslušnou výstupní úroveň (U_{OH} nebo U_{OL}), U_{ILmax} maximální vstupní napětí při úrovni L, zaručující příslušnou výstupní úroveň (U_{OH} nebo U_{OL}).

Pro poměrně široký rozsah vstupních napětí zůstává výstupní logická úroveň (40 % $U_{DD} - U_{SS}$) nedefinována. Tato oblast je dána variabilitou výrobního procesu (viz obr. 31 - napěťové přenosové



Obr. 31. Výrobní rozptyl přenosových charakteristik

charakteristiky padesáti obvodů typu 4011) a přípustným posuvem napěťových přenosových charakteristik pro několikavstupová hradla (obr. 32). Z obr. 32 vyplývá, vzhledem k posuvu napěťových přenosových charakteristik, že počet vstupů je u hradla omezen na čtyři.



Obr. 32. Posuv napěťových přenosových charakteristik u vícevstupových hradel

Dále si uvedeme příklad určení odstupu rušivých napětí pro hradlo CMOS při napájecím napětí 10 V:

U_{NIL} - úroveň L pro odstup stejnosměrného rušivého napětí,

U_V - vstupní napětí,

U_V - výstupní napětí,

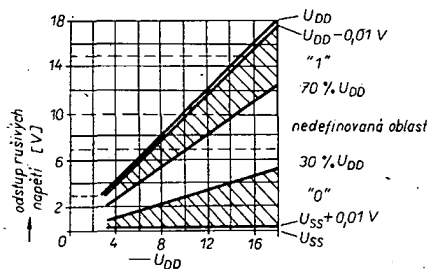
U_{NIH} - úroveň H pro odstup stejnosměrného rušivého napětí:

$U_{NIL} = (U_V; U_V = 70 \% U_{OH}) - U_{OL} = [3,0 - 0,01] = 3,0 \text{ V}$ (všeobecný předpoklad),

$U_{NIH} = (U_V; U_V = 30 \% U_{OH}) - U_{OH} = [7,0 - 9,99] = 3,0 \text{ V}$,

U_{OL} , U_{OH} jsou zaručovaná výstupní napětí pro danou úroveň a daný teplotní rozsah, v němž jedna součástka CMOS je schopna budit druhou součástku CMOS nebo pracovat do kapacitní zátěže.

Na obr. 33 je rozsah odstupu rušivých napětí pro různá napětí U_{DD} . Změna od-

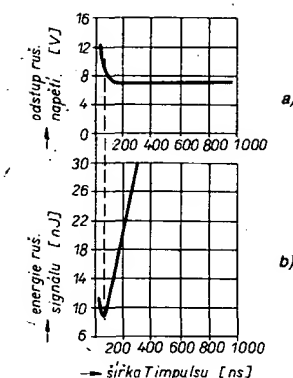


Obr. 33. Rozsah odstupu rušivých napětí

stupu rušivých napětí je v závislosti na teplotě malá, což vyplývá z malé teplotní závislosti přenosových charakteristik podle obr. 10.

Odstup střídavých rušivých napětí

Odstup stejnosměrných rušivých napětí vyjadřuje pouze vliv změny stejnosměrného napětí na úroveň napětí na vodiči signálu. Odstup střídavých rušivých napětí vyjadřuje vliv rušení na amplitudu a šířku impulsu a je funkcí zpoždění a doby přenosu impulsu na výstup logického obvodu a je závislý také na vstupní a výstupní kapacitě. Na obr. 34a je diagram odstupu střídavých rušivých napětí, z něhož je zřejmá souvislost odstupu rušivých napětí a doby zpoždění. Při šířce rušivého impulsu přibližně rovné době zpoždění obvodu bude přípustná amplituda rušivého napětí o něco větší. Bude-li



Obr. 34. Střídavé napětí a energie rušivého signálu

šířka impulsu větší než zpoždění obvodu, je přípustná amplituda rušivého signálu přibližně rovná přípustné amplitudě stejnosměrného rušivého signálu.

Energie rušivého signálu

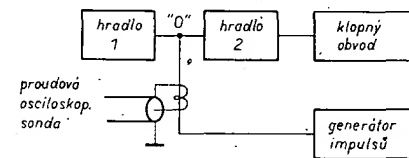
Chování skupiny logických obvodů nejlépe charakterizují údaje o přípustné energii rušivého signálu. Energie rušivého signálu je závislá na amplitudě rušivého napětí, impedanci vodičů, době odezvy obvodu a délce rušivého signálu. Typický diagram energie rušivého signálu je na obr. 34b.

Rušení se do obvodu může dostat třemi způsoby: při propojování obvodů vodiči signálu, indukci do napájecího zdroje a napájecího vodiče, superpozici na zemní vodiči.

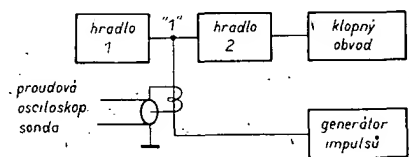
Z toho vyplývají čtyři druhy odstupu rušivého signálu:

odstup rušivého signálu na vodiči signálu při „0“, odstup rušivého signálu na vodiči signálu při „1“, odstup rušivých napětí na zemnicím vodiči, odstup rušivého signálu na vodičích napájení.

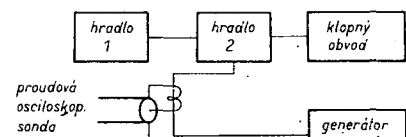
Základní zapojení pro měření odstupu rušivého signálu na vodiči signálu při „0“ je na obr. 35, na vodiči signálu při „1“ na obr. 36, na zemnicím vodiči na obr. 37 a na napájecích vodičích na obr. 38. Odstup rušivého signálu na napájecích vodičích určuje odolnost proti zápornému rušivému impulsu při změně stavu napájecího vodiče. Vliv indukovaného rušivého sig-



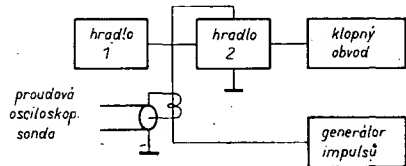
Obr. 35. Měření odstupu rušivého napětí při úrovni „0“



Obr. 36. Měření odstupu rušivého napětí při úrovni „1“



Obr. 37. Měření odstupu rušivého napětí na zemnicím vodiči

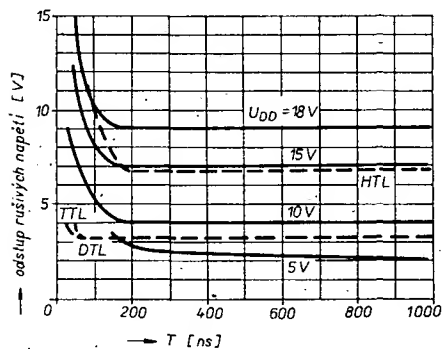


Obr. 38. Měření odstupu rušivého napětí na napájecím vodiči

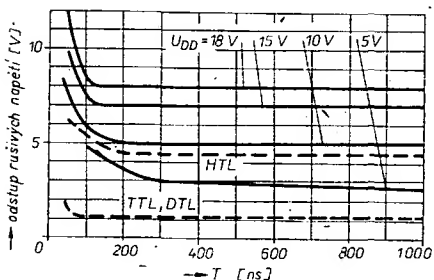
nálu je vyhodnocen stavem klopného obvodu, připojeného na výstup hradla, který se překlápí, pokud bylo dosaženo prahové indukované energie rušivého signálu. Tuto energii můžeme vypočítat z napětí U rušivého signálu, z proudu I rušivého signálu a doby trvání T rušivého signálu

$$E = \int_0^T U I dt$$

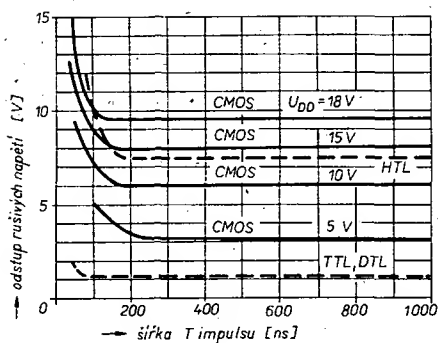
Výsledky měření odstupu rušivých signálů na vodičích signálu při „0“ a „1“ jsou na obr. 39 a na obr. 40 (i pro ostatní skupiny logických obvodů). Na obr. 41 je příklad odstupu rušivého signálu na napájecím vodiči a na obr. 42 na zemním vodiči. Na obr. 43 a obr. 44 je odstup energie rušivého signálu pro vodiče signálu. Každá z křivek má minimum, které definuje odstup energie rušivého signálu pro dané napětí U_{DD} . Tato energie je



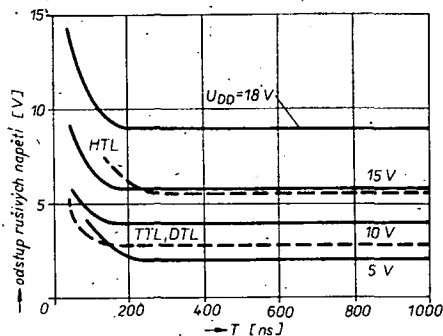
Obr. 40. Odstup rušivých napětí od signálu při úrovni „1“



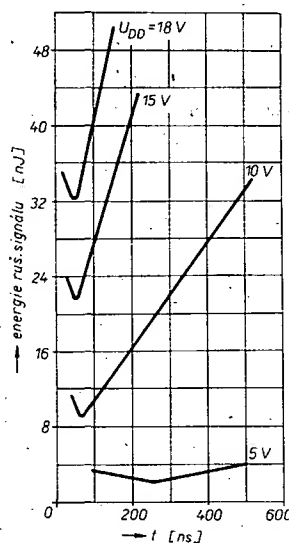
Obr. 41. Odstup rušivých napětí na zemnicím vodiči



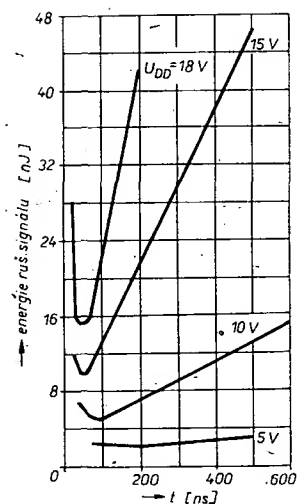
Obr. 39. Odstup rušivých napětí od signálu při úrovni „0“



Obr. 42. Odstup rušivých napětí na napájecím vodiči



Obr. 43. Energie rušivého signálu při úrovni „0“



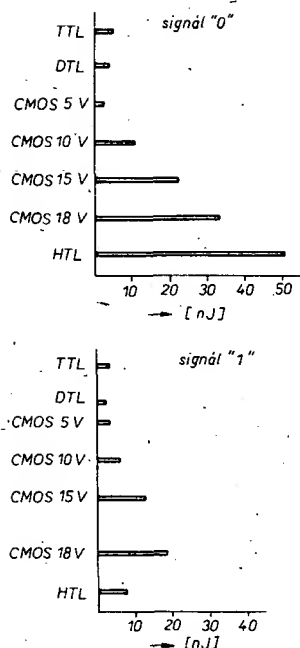
Obr. 44. Energie rušivého signálu při úrovni „1“

úměrná proudu, napětí a šířce impulsu rušivého signálu. Část křivky vpravo od minima je dána lineárním zvětšením šířky impulsu při konstantním proudu a napětí. Průběh vlevo od minima je dán zvětšením rušivého proudu a napětí. Odstup energie rušivého signálu na vodiči signálu pro různé skupiny logických obvodů je na obr. 45. V tab. 4 jsou základní parametry různých skupin logických obvodů a jejich odstup rušivých napětí.

Hradla CMOS mají odstup rušivého napětí typicky na úrovni kolem 45 % napájecího napětí. Pro napájecí napětí větší než 5 V je odstup energie rušivého signálu na vodiči signálu pro logické úrovně „0“ a „1“ větší než u obvodů DTL a TTL. Obvody HTL mají větší odstup rušivých napětí pouze na vodiči signálu při „0“. Pro „1“ na vodiči signálu pro U_{DD} větší než 10 V mají obvody CMOS větší odstup energie rušivého signálu než všechny ostatní skupiny logických obvodů. Porovnáme-li odstup rušivých napětí různých druhů logických obvodů, nemůžeme uvažovat jenom charakteristiky obvodu rušivých napětí, ale musíme brát v úvahu i pracovní rychlost spínání. Z tohoto hlediska jsou obvody CMOS pracující při napájecím napětí 15 až 18 V velmi výhodné.

Tab. 4. Základní parametry různých logických obvodů

Druh logických obvodů			Napájecí napětí [V]	Přiklon ve statickém režimu [mW]	Typické zpoždění [ns]	Odstup ss rušivého signálu [V]				Amplituda výstupního napětí [V]	Energie rušivého signálu [nJ]		Impedance [Ω] při signálu	
Logická úroveň						„0“		„1“			„0“		„1“	
					min.	typ.	min.	typ.						
DTL	5	8	30		0,7	1,2	0,7	3,8	4,5	3	1,5	50	1700	
TTL	5	15	10		0,4	1,2	0,4	2,2	3,5	4	2,5	30	140	
HTL	15	30	85		5	7,5	4	7	13	48	7	140	1600	
ECL	-5,2	25	2			0,25		0,17	0,8			7	7	
CMOS	5	0,005	45		1,5	2,2	1,5	3,4	5	3	1,5	600	1200	
CMOS	10	0,01	16		3	4,2	3	6	10	10	5	300	600	
CMOS	15	0,015	12		4,5	6,5	4,5	9	15	22	13	250	450	
CMOS	18	0,018	11		5,4	8,1	5,4	9,8	18	35	18	220	430	



Obr. 45. Energie rušivého signálu pro různé logické obvody

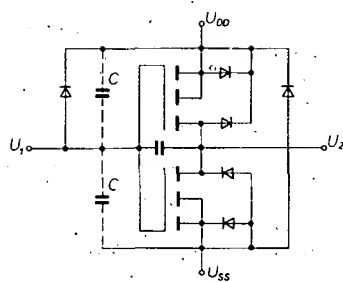
Ochranné obvody pro CMOS

Řídicí elektrody tranzistorů v obvodech CMOS jsou izolovány od substrátu vrstvou kysličníku křemičitého, který tvoří dielektrikum „kondenzátoru“ řídicí elektroda – substrát. Tloušťka oxidační vrstvy mezi řídicí elektrodou a substrátem je asi 1000 Å a má typické průrazné napětí 100 až 200 V. Je-li na řídicí elektrodu přivedeno větší napětí než je napětí průrazné, pak se vrstva SiO_2 pod řídicí elektrodou prorazí, takže tranzistor MOSFET se zničí, neboť vznikne zkrat mezi kovovou řídicí elektrodou a substrátem (nebo vznikne zkrat i v oblasti p a n). Protože vstupní odpor řídicí elektrody je velmi velký, stačí k průrazu i velmi malá energie elektrostatického náboje. Přitom např. za určitých okolností může člověk působit jako zdroj elektrostatického napětí řádu 10 kV. Nashromáždí-li se toto napětí v kondenzátoru lidského těla (300 pF) a je-li vybito do vstupu obvodu CMOS, ten se zničí. Možnost zničení obvodu CMOS elektrostatickým nábojem prakticky existuje jen během manipulace a měření. Z uvedených důvodů mají obvody CMOS na vstupu ochranné obvody. Statický výboj obvykle trvá jen velmi krátkou dobu. Pokusy ukázaly, že obvody CMOS vydrží přepětí 100 až 150 V po dobu maximálně 100 ns; trvá-li přepětí déle, pak je nutno je zmenšit a to podle velikosti přivedené energie.

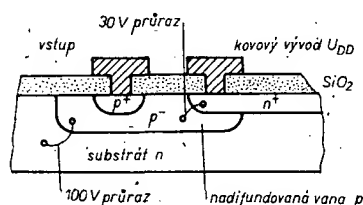
Většina obvodů CMOS má ochranný obvod zapojen na vstupu a některé obvody i na výstupu. Pro ochranu vstupů obvodů CMOS se používá

- ochrana jednou diodou nebo
- ochrana dvojitou diodou a rezistorem.

Na obr. 46 je zapojení ochranného obvodu s jednou diodou, technologické provedení této diody je na obr. 47. Pokud budou vanička p a substrát n více dotovány, zvětší se i průrazné napětí mezi nimi asi na 120 V. Silně dotovaná oblast n^+ a o něco více oblast p^+ jsou využity pro vytvoření diody. Přechod mezi oblastmi n^+ a p^+ se prorazí asi při 30 V, to je při menším napětí než mezi řídicí elektrodou a substrátem (asi 100 V). Ochranný obvod s jednou diodou svádí kladné přepětí



Obr. 46. Ochranný obvod s jednou diodou

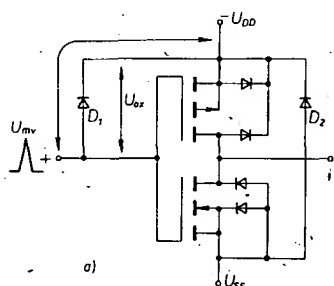


Obr. 47. Řez ochranným obvodem s jednou diodou

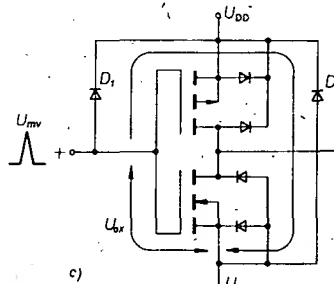
na U_{DD} . Ochrana před záporným přepětím maximálně 30 V je zajištěna inverzním napětím diody. Dioda je navržena tak, aby se nezničila při průrazu proudem menším než 10 mA. Princip funkce ochrany s jednou diodou je na obr. 48.

Na obr. 49 je druhý typ ochrany, která je sestavena ze sériového oddělovacího rezistoru R_s a z diod D_1 a D_2 , určených ke svodu vstupního napětí na vývod U_{DD} nebo U_{SS} . Dioda D_3 vzniká při výrobě R_s jako parazitní součástka. Na obr. 50 je povrchová topologie a řez difúzní oblastí ochranného obvodu v integrovaném provedení. Pro pochopení fyzikální struktury tohoto obvodu si popíšeme jeho technologické zhotovení:

1. Difúze p^- (malá koncentrace nečistot iontů bóru) je provedena pod vývodním kontaktem a slouží jako dodatečná ochranná izolace mezi kovovou podložkou a substrátem typu n. Vrstva

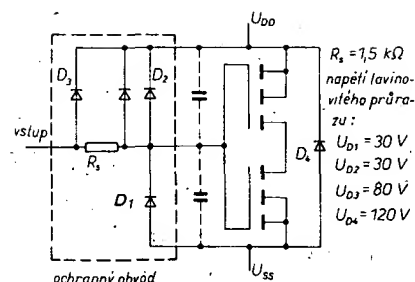


$$U_{ox} = U_{D1} (\text{propustný směr}) \approx 1 \text{ V}$$

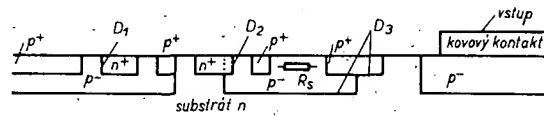


$$U_{ox} = U_{D1} (\text{propustný směr}) + U_{D2} (\text{průraz}) = 1 \text{ V} + 30 \text{ V} = \text{max. } 31 \text{ V}$$

Obr. 48. Funkce ochranného obvodu s jednou diodou



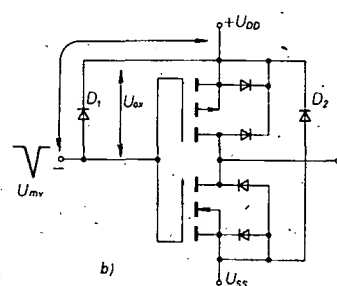
Obr. 49. Ochranný obvod s dvěma diodami a R_s



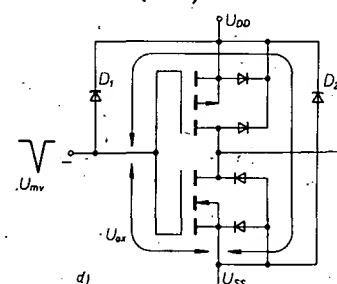
Obr. 50. Řez ochranným obvodem se dvěma diodami a R_s

kysličníku pod vývodním kontaktem vydrží napětí asi 600 až 700 V.

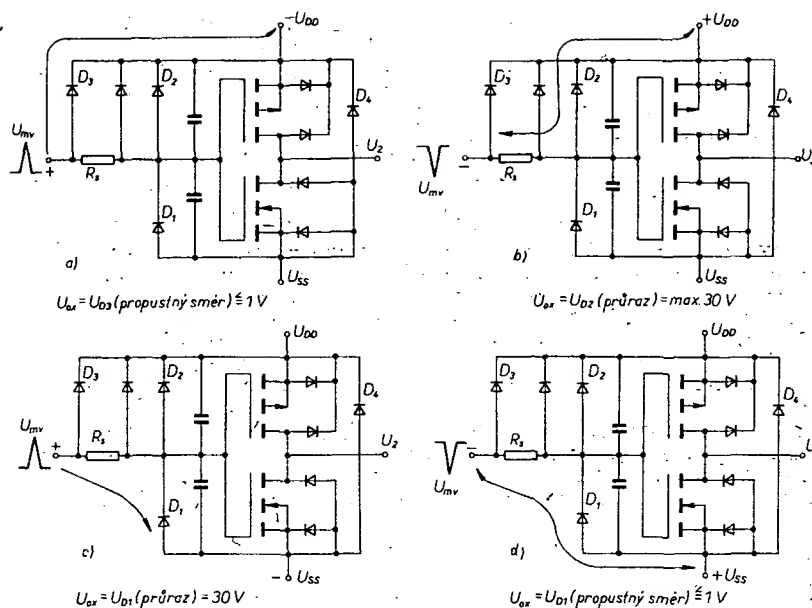
2. Sériový odpor R_s je vyroben difúzí p^- , jeho odpor 1,5 kΩ je kompromisem mezi dodatečným zpožděním obvodu a požadavkem maximální izolace. Rezistor spolu s kapacitou řídicí elektrody 5 pF způsobuje konstantní zpoždění 1,5 ns – všechny impulsy přivedené na obvod CMOS budou tedy bez ohledu na tvar čela a týlu zpožděny a případná nahromaděná energie je akumulována ochranným odporem dříve, než se prorazí izolační vrstva pod řídicí elektrodou.
3. Dioda D_1 vyrobená obohacenou difúzí n^+ v oblasti p^- má lavinovitý průraz mezi 30 až 35 V a omezuje napětí řídicí elektroda – substrát během kladného vstupního přepětí. Tak chrání dielektrikum pod řídicí elektrodou před zničením.
4. Dioda D_2 má stejnou charakteristiku jako dioda D_1 . Jak je zřejmé z obr. 50, je vytvořena přechodem n^+ a p^- a svádí



$$U_{ox} = U_{D1} (\text{průraz}) = \text{max. } 30 \text{ V}$$



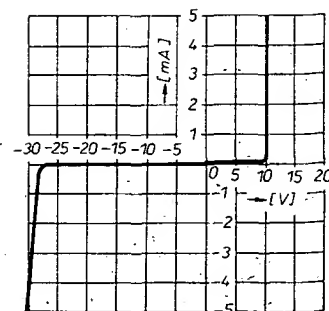
$$U_{ox} = U_{D2} (\text{propustný směr}) + U_{D1} (\text{průraz}) = 1 \text{ V} + 30 \text{ V} = \text{max. } 31 \text{ V}$$



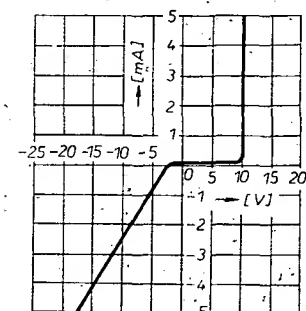
Obr. 51. Funkce ochranného obvodu se dvěma diodami a R_s

z řídicí elektrody záporné vstupní přepětí. Sériový odpor diody, který je minimální vůči společnému napájecímu vodiči U_{DD} a U_{SS} , je závislý na výrobních tolerancích.

Tyto čtyři druhy ochrany jsou využity ke svodu kladného a záporného přepětí mezi vstupem a U_{DD} (obrázky 51a, b) a vstupem a U_{SS} (obrázky 51c, d). Napětí U_{ox} je maximální místní napětí, které se dostane na dielektrikum pod



Obr. 52. Charakteristika ochranného obvodu s jednou diodou



Obr. 53. Charakteristika ochranného obvodu se dvěma diodami a rezistorem

Záporná logika				0 1 2 3 4 5 6 7	Stavový index vstupů	Kladná logika			
				L H L H L H L H	A = 2 ⁰				
				L L H H L L H H	B = 2 ¹				
				L L L L H H H H	C = 2 ²				
Logická funkce	Označení staré	Označení nové	Logická rovnice	Výstupní úrovně	Logická funkce	Označení staré	Označení nové	Logická funkce	
AND			ABC	L H H H H H H H	OR			$A+B+C$	
NAND			\overline{ABC}	H L L L L L L L	NOR			$\overline{A+B+C}$	
OR			$A+B+C$	L L L L L L L H	AND			ABC	
NOR			$\overline{A+B+C}$	H H H H H H H L	NAND			\overline{ABC}	
INCLUSIVE OR			$ABC + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	L H H L H L L L	EXCLUSIVE OR			$\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	
INCLUSIVE NAND			$ABC + \overline{ABC} + \overline{ABC}$	H L L H L H H H	EXCLUSIVE NOR			$\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	
EXCLUSIVE OR			$\overline{ABC} + \overline{ABC} + \overline{ABC}$	H H H L H L L H	INCLUSIVE AND			$\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	
EXCLUSIVE NOR			$ABC + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	L L L L H L H L	INCLUSIVE NAND			$\overline{ABC} + \overline{ABC} + \overline{ABC}$	
Minoritní funkce			$AB + AC + BC$	L L L H L H H H	Majoritní funkce			$AB + AC + BC$	
Neminortní funkce			$\overline{AB} + \overline{AC} + \overline{BC}$	H H H L H L L L	Nemajoritní funkce			$\overline{AB} + \overline{AC} + \overline{BC}$	
Lichá parita			$ABC + \overline{ABC} + \overline{ABC} + \overline{ABC}$	L H H L H L L H	Lichá parita			$ABC + \overline{ABC} + \overline{ABC} + \overline{ABC}$	
Sudá parita			$\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	H L L H L H H L	Sudá parita			$\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$	

První čtyři funkce mají jeden výstup z 2ⁿ kombinací, další čtyři mají n výstupů z 2ⁿ kombinací a poslední čtyři mají 2ⁿ⁻¹ výstupů z 2ⁿ kombinací (n je počet vstupů hradla)

řídící elektrodou. Voltampérové charakteristiky obou ochranných obvodů po připojení napájecího napětí $U_{DD} = 10\text{ V}$ a $U_{SS} = 0\text{ V}$ jsou na obr. 52 a 53. U ochranného obvodu s jednou diodou se záporný impuls přepětí potlačí teprve při -36 V , což je méně, než je průrazné napětí řídící elektroda – substrát. Ochranný obvod se dvěma diodami a rezistorem potlačuje záporné impulsy přepětí již při -1 V .

Základní logické sestavy

Ke stanovení optimálního poměru cena-výkon libovolného systému je nutné správně pochopit základní logické funkce obvodů CMOS. Proto je tato kapitola rozdělena na dvě části, v první části jsou uvedeny příklady kombinovaných logických funkcí s obvody CMOS. V druhé části jsou popsány sekvenční logické funkce (klopné obvody, střadače a posuvné registry). Nakonec jsou uvedeny čítače, vyráběné v technologii CMOS.

Kombinované logické funkce

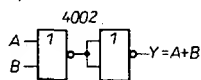
Příklady logických funkcí jsou uváděny pro dva typy obvodů: první využívá hradel CMOS, druhý diodových matic a obvodů CMOS.

Dále je popsán způsob, jak lze vytvořit komplementární funkce. Na obr. 54 je přehled základních logických funkcí, podle něhož lze převést jednotlivé funkce z kladné logiky do záporné nebo naopak. Uvedené příklady platí pro tři logické proměnné. Na obrázcích jsou příklady zapojení pro vytvoření různých funkcí.

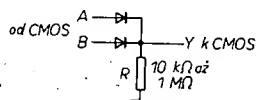
Funkce OR

Příklad dvou vstupového hradla OR z hradel NOR je na obr. 55 a obr. 56 (rezistor R určuje rychlost sepnutí). Jeho komplement je na obr. 57. Čtyřvstupové hradlo OR z hradel NOR je na obr. 58 nebo na obr. 59.

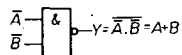
Jeho komplement je na obr. 60. Osmivstupové hradlo OR – obvyklé zapojení, které lze rozšířit, je na obr. 61 nebo na obr. 62. Jeho komplement je na obr. 63. Hradlo OR pro více než osm vstupů je na obr. 64.



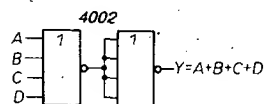
Obr. 55. Dvou vstupové hradlo OR z hradel NOR



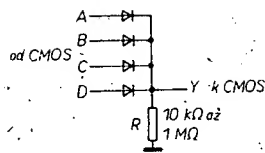
Obr. 56. Hradlo OR z diod



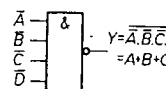
Obr. 57. Komplement hradla OR



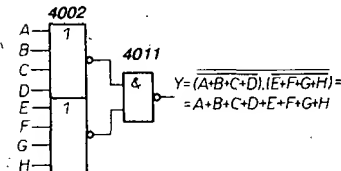
Obr. 58. Čtyřvstupové hradlo OR z hradel NOR



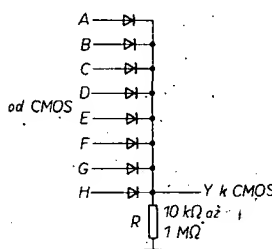
Obr. 59. Jeho diodový ekvivalent



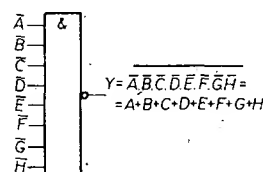
Obr. 60. Jeho komplement



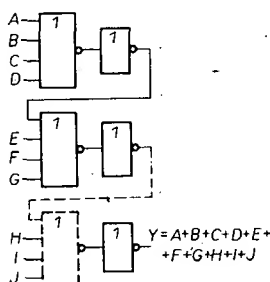
Obr. 61. Osmivstupové hradlo OR



Obr. 62. Diodový ekvivalent osmivstupového hradla OR



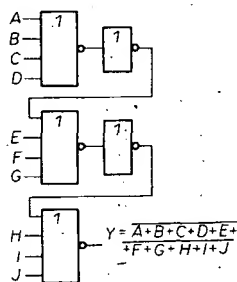
Obr. 63. Jeho komplement



Obr. 64. Hradlo OR

Funkce NOR

Příklad hradla NOR pro více než osm vstupů je na obr. 65.



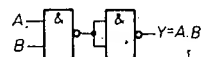
Obr. 65. Hradlo NOR

Funkce AND

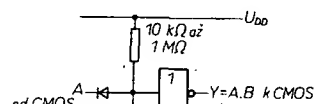
Příklad dvou vstupového hradla AND je na obr. 66 nebo 67. Jeho komplement je na obr. 68.

Čtyřvstupové hradlo AND je na obr. 69 nebo na obr. 70. Jeho komplement je na obr. 71.

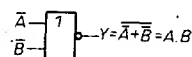
Osmivstupové hradlo AND – obvyklé zapojení, které může být rozšířeno, je na obr. 72. Jeho komplement je na obr. 73. Hradlo AND pro více než osm vstupů je na obr. 74.



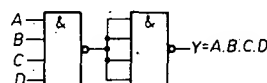
Obr. 66. Hradlo AND dvou vstupové



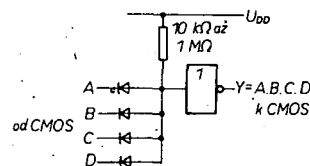
Obr. 67. Jeho diodový ekvivalent



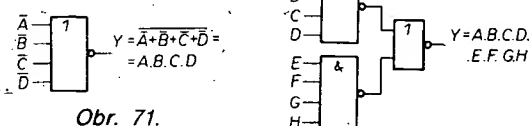
Obr. 68. Komplement hradla AND



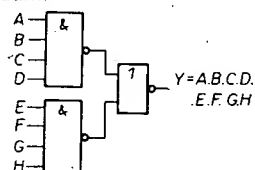
Obr. 69. Čtyřvstupové hradlo AND



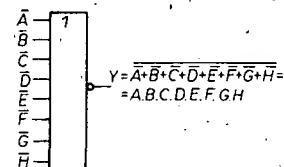
Obr. 70. Čtyřvstupové hradlo AND s diodami



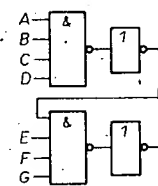
Obr. 71.



Obr. 72.



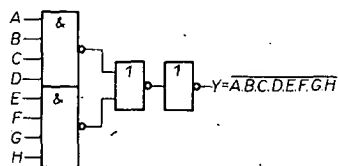
Obr. 73. Jeho komplement



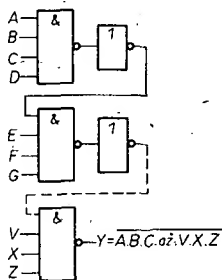
Obr. 74. Hradlo AND

Funkce NAND

Příklad zapojení osmivstupového hradla je na obr. 75, hradlo NAND pro více než osm vstupů je na obr. 76.



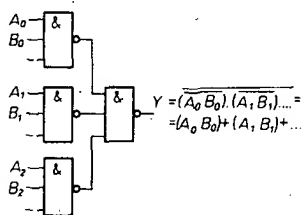
Obr. 75. Hradlo NAND s osmi vstupy



Obr. 76. Hradlo NAND s více než osmi vstupy

Logický součet složek

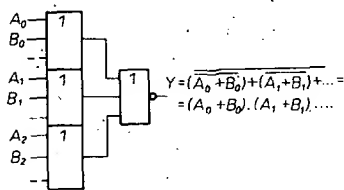
Příklad při použití hradel NAND je na obr. 77.



Obr. 77. Logický součet složek

Logický součin součtů

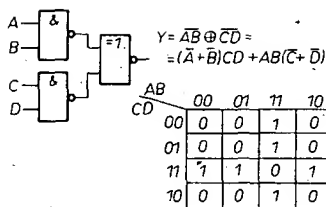
Příklad při použití hradel je na obr. 78.



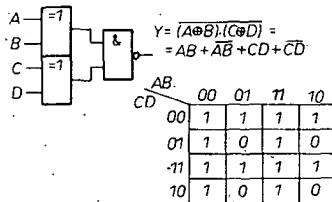
Obr. 78. Logický součin součtů

Funkce EXCLUSIVE OR

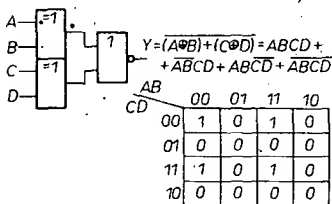
Kromě běžných aplikací, jako jsou sčítačky a generátory parity, je možné funkci EXCLUSIVE OR zmenšit počet pouzder v daném logickém systému. Jsou uvedeny čtyři příklady řešení logických funkcí při použití hradel EXCLUSIVE OR (EXOR) současně s hradly NAND a NOR (obr. 79 až 82).



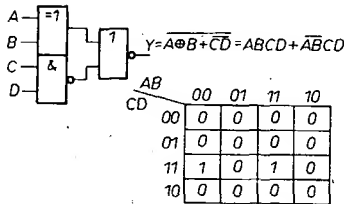
Obr. 79. Spojení hradel NAND s hradly EXCLUSIVE-OR



Obr. 80. Spojení hradel EXCLUSIVE-OR s hradlem NAND



Obr. 81. Spojení hradel EXCLUSIVE-OR s hradlem NOR



Obr. 82. Spojení hradla EXCLUSIVE-OR a NAND s hradlem NOR

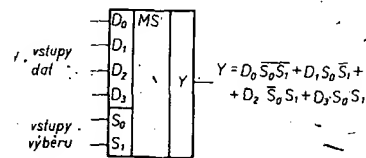
Multiplexery používané k řešení kombinovaných funkcí

Běžný multiplexer, který se používá k převodu dat, vznikne vhodným zapojením hradel NAND a NOR, která pracují jednak jako spínací vstupního signálu a jednak jako řídicí obvod, který určuje podle kódu BCD, která cesta bude propojena ze vstupu na výstup. O tom, který kanál dat bude propojen ze vstupu na výstup, se dozvíme z pravdivostní tabulky daného obvodu. Některé multiplexery mají i vstupy INHIBIT nebo ENABLE nebo CHIP SELECT, který uvolňuje přenos dat ze vstupu na výstup při splnění dodatečné podmínky (uvedené též v pravdivostní tabulce).

Vedle této běžné aplikace můžeme multiplexery použít k vytvoření logických funkcí a tak oproti běžnému zapojení zmenšit počet pouzder. Pro tyto účely lze z řady 4000 využít tři typy multiplexerů: dvojitý čtyřkanalový selektor dat typu 4539, osmikanalový selektor dat typu 4512, čtyřnásobný dvoukanalový selektor dat typu 4519.

Multiplexer může pracovat jako jednoduché spínací pole. Daný soubor dat na vstupu určuje polohu spínače. Druhý soubor dat na vstupu vybírá ta vstupní data, která mají být přenesena na výstup obvodu. Poloha spínače je určena binárním kódem použitým pro nastavení selektoru

dat. Pro čtyřkanalový multiplexer je podle obr. 83 výstupní rovnice uvedena na obrázku.



Obr. 83. Multiplexrový obvod

Při použití vstupu SELECT (S, výběr) a vstupu dat D, připojeného na logické proměnné, je možno vytvořit na výstupu tohoto obvodu danou logickou funkci. Pokud je na vstup SELECT připojeno N-1 logických proměnných, pak zbývající proměnná je přivedena na vstup dat. Proměnné nebo jejich komplementy můžeme použít buď jako logické „1“ nebo logické „0“ pro daný počet logických proměnných N, takže čtyřkanalový multiplexer může zpracovávat tři logické proměnné, osmikanalový multiplexer čtyři logické proměnné a šestnáctikanalový multiplexer pět logických proměnných. Výsledkem je logická rovnice

$$Y = A\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC + A\bar{B}C + \bar{A}B\bar{C}$$

Na obr. 84 je Karnaughova mapa pro tuto funkci se třemi proměnnými. Pokud potřebujeme vyčlenit z této funkce jednu logickou proměnnou, pak lze mapu rozdělit na dvě mapy o dvou proměnných podle obr. 85. Pro tři logické proměnné v dané rovnici je nutné použít čtyřkanálový

BC	00	01	11	10
0	1	1	1	1
1	0	0	0	0
2	1	1	1	1
3	0	0	0	0

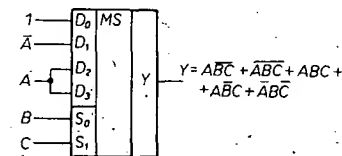
Obr. 84. Karnaughova mapa pro funkci s třemi proměnnými

B	0	1
0	1	1
1	0	0

Obr. 85. Rozdělení mapy z obr. 84 na dvě se dvěma proměnnými

B	0	1
0	D ₀	D ₁
1	D ₂	D ₃

Obr. 86. Karnaughova mapa pro výběr řízený veličinami B a C



Obr. 87. Logický diagram pro čtyřkanalový multiplexer

AB	00	01	11	10
00	0	0	0	0
01	0	0	0	1
11	0	0	1	1
10	1	1	0	0

Obr. 88. Karnaughova mapa pro pět proměnných

vý multiplexer. Proměnné B a C jsou přivedeny na vstupy S a proměnná A na vstup dat. Stav výběru řízený veličinami B a C je zanesen do Karnaughovy mapy na obr. 86.

Při kombinaci obr. 85 a 86 musíme mít na vstupu dat $D_0 = 1$, $D_1 = A$, $D_2 = A$, $D_3 = A$, abychom dostali požadovanou funkci. Příslušný logický diagram pro čtyřkanálový multiplexer je na obr. 87.

V dalším příkladě je Karnaughova mapa pro pět proměnných na obr. 88. Uvedené dvě mapy lze rozdělit na čtyři mapy o třech proměnných podle obr. 89.

Použijeme-li čtyřkanálový multiplexer, pak proměnné D a E jsou přivedeny na vstupy vstupních multiplexerů, proměnné A a C na vstupy S výstupních multiplexerů a proměnná B je přivedena na vstupy dat vstupních multiplexerů podle obr. 90.

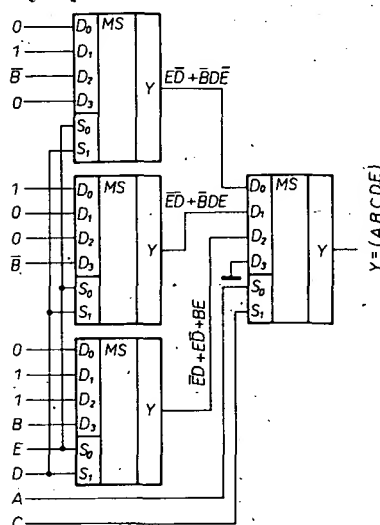
BE	00	01	11	10
D	0	0	1	0
C	1	0	0	0

BE	00	01	11	10
D	0	0	1	1
C	1	0	0	0

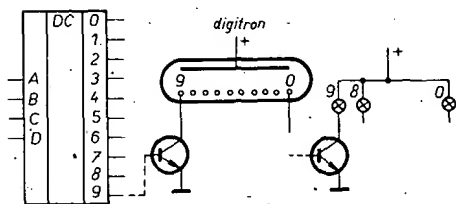
BE	00	01	11	10
D	0	1	0	1
C	1	0	1	0

BE	00	01	11	10
D	0	0	0	1
C	1	0	1	1

Obr. 89. Rozdělení mapy z obr. 88 na čtyři o třech proměnných



4bitový Grayův, Excess 3, Excess 3, Grayův Aikenův a kód 4221 a jím odpovídající čísla na výstupu. Na obr. 93 je zapojení šestibitového binárního dekodéru 1 ze 64 a na obr. 94 zapojení pro buzení dekadického displeje s digitronem nebo žárovkami.



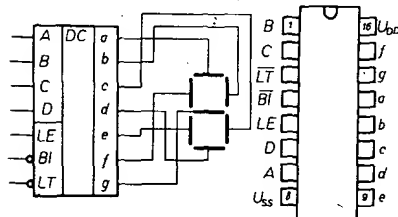
Obr. 94. Buzení dekadického displeje obvodem 4028

Dekodér BCD – 7segmentový displej s pamětí a budičem, 4311 a 4511

Oba obvody jsou určeny k buzení sedmissegmentových displejů. Obvod je tvořen čtyřbitovou pamětí, dekodérem BCD na sedm segmentů a budiči se zatížitelností až 20 mA. Vstupy LT (lamp test), BI (blanking) a LE (latch enable – uvolnění paměti) slouží k řízení displeje a k zápisu kódu BCD. Logické schéma obvodů je na obr. 95, jsou sestaveny ze tří základních částí:

- z paměti, která je tvořena čtyřmi hradlovými klopnými obvody, které uchovávají vstupní binární informaci. Zapamatování dat je možné až po aktivování vstupu LE,
- z dekodéru BCD – sedm segmentů řízeného přes vstup BI,
- ze sedmi výstupních budičů s bipolárními tranzistory n-p-n.

Přes vstup LT jsou řízeny jednotlivé segmenty displeje připojené na výstupy. Typickou oblastí aplikací těchto obvodů je měřicí technika, zejména čítače, digitální voltmetry, časovače apod. Obvod



Vstupy							Výstupy							4311	4511	Poznámka
LE	BI	LT	D	C	B	A	a	b	c	d	e	f	g	displej		
x	x	0	x	x	x	x	1	1	1	1	1	1	1	8	8	
x	0	1	x	x	x	x	0	0	0	0	0	0	0			
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0	0	
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1	1	
0	1	1	0	0	1	0	1	1	0	1	0	1	1	2	2	
0	1	1	0	0	1	1	1	1	1	0	0	1	1	3	3	
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4	4	
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5	5	
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6	6	u 4311 a = 1
0	1	1	0	1	1	1	1	1	0	0	0	0	0	7	7	
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8	8	
0	1	1	1	0	1	0	1	1	0	1	1	1	1	A	-	u 4511 a = b =
0	1	1	1	0	1	1	0	0	1	1	1	1	1	b	-	c = d = e = f =
0	1	1	1	1	0	0	1	0	0	1	1	1	0	C	-	g = 0
0	1	1	1	1	0	1	0	1	1	1	0	1	1	d	-	
0	1	1	1	1	1	0	1	0	0	1	1	1	1	E	-	
0	1	1	1	1	1	1	1	0	0	0	1	1	1	F	-	
1	1	1	x	x	x	x	střadač									

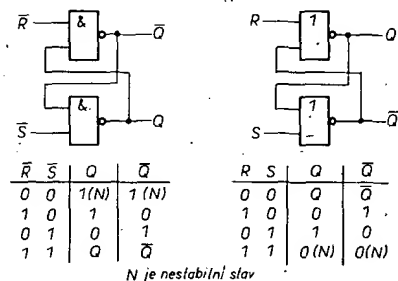
4311 dekoduje 16 výstupních stavů, kdežto obvod 4511 jen deset. Na obr. 96 jsou příklady připojení různých typů displejů, a) – LED se společnou katodou, b) se společnou anodou, d) fluoroscenční, e) se digitrony, f) LCD).

Sekvenční logické funkce

Sekvenční logické obvody jsou takové obvody, u nichž současný stav výstupu odpovídá předchozímu stavu vstupu, který si obvody pamatují při daných vstupních podmínkách. Mezi tyto obvody řadíme klopné obvody, posuvné registry a čítače. Nejprve popíšeme klopné obvody a jejich využití ve střadačích a posuvných registrech a v závěru čítače a časovače.

Klopné obvody

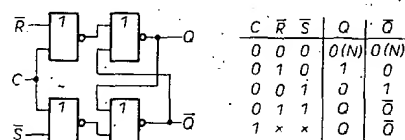
Nejjednodušší klopný obvod lze sestavit ze dvou křížem připojených hradel NOR nebo NAND. Zapamatovaný logický stav je řízen přes vstup R nebo S. Na obr. 97 je



Obr. 97. Klopný obvod R-S s hradly NAND a NOR

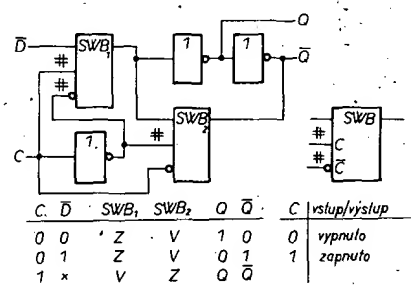
Hradlový klopný obvod

Zapojíme-li řídicí vstupy R a S na výstupy doplňkových hradel, obdržíme hradlový klopný obvod R-S. Obvod si uchovává informaci tehdy, budou-li splněny požadavky uvedené v pravdivostní tabulce. Příklad hradlového klopného obvodu R-S s pravdivostní tabulkou je na obr. 98 (obvod typu 4001). Jiné často užívané



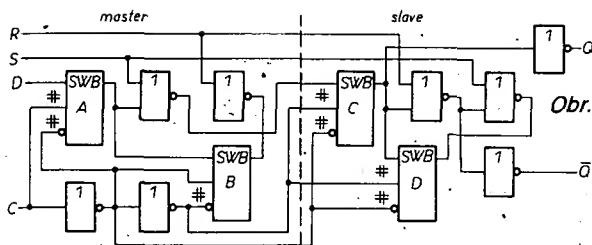
Obr. 98. Hradlový klopný obvod R-S

zapojení hradlového klopného obvodu je na obr. 99; ke konstrukci klopného obvodu jsou použity přenosové členy

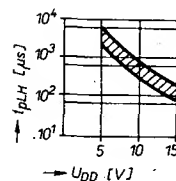


Obr. 99. Hradlový klopný obvod typu master-slave

a hradla NOR. Tento obvod je základem konstrukce klopných obvodů typu master-slave, mnoha pamětí a posuvných registrů. Přenosové členy pro své řízení potřebují jednak vstupní taktovací impulsy i jejich komplementy, které se získávají inventorem, jenž je součástí celého klopného obvodu. Taktovacích impulsů se využívá k správnému časovému řízení jednotlivých operací v obvodu nebo obvodech. Pokud je takt „0“, je přenosový člen 1 sepnut a 2 rozpojen a na výstupu Q je komplement úrovně vstupu D. Pokud je takt „1“, je přenosový člen 1 odpojen a 2 sepnut, takže jeho výstupní stav bude zapamatován bez ohledu na vstupu D. Tento obvod je nazýván pamětovým klopným obvodem typu D a jeho jednotlivé stavy jsou uvedeny v pravdivostní tabulce na obr. 99.



Obr. 100. Zapojení jedné poloviny obvodu 4013



Obr. 105. Maximální doba náběhu taktu

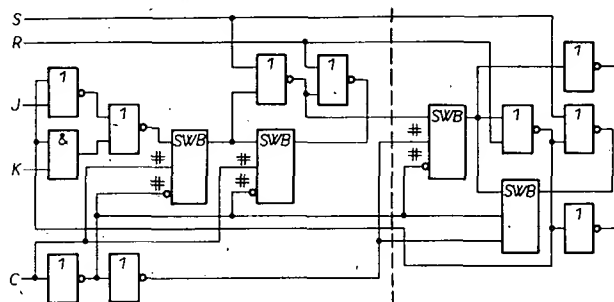
vstupy				výstup	
C	D	R	S	Q	Q̄
0	0	0	0	0	1
1	0	0	0	1	0
x	0	0	0	Q	Q̄
x	1	0	0	0	1
x	x	0	1	1	0
x	x	1	1	1(N)	1(N)

N je havarijní stav

impulsu na napětí U_{DD} při zaručení správné funkce klopného obvodu. Tuto informaci potřebujeme zejména, jsou-li taktovací impulsy vyráběny obvodem s vnějším fázovacím členem.

Klopný obvod J-K master-slave typu 4027

Klopný obvod J-K je modifikací klopného obvodu D master-slave. Je také sestaven ze dvou sériově zapojených hradlových klopných obvodů jako obvod D master-slave, avšak ve vstupu D je zapojen součtový obvod, řízený přes vstupy J a K. Obvody tohoto typu se používají hlavně v čítačích a obvodech řídicí logiky. Zapojení typického obvodu J-K (1/2 4027) je na obr. 103.



Obr. 103. Zapojení jedné poloviny obvodu 4027

synchronní provoz				
J	K	Q_n	Q_{n+1}	
0	0	Q_n	Q_n	1
1	0	0	1	1
1	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	1	0	1	1
1	1	1	1	0

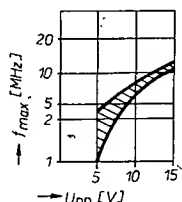
asynchronní provoz			
R	S	Q	Q̄
1	0	0	1
0	1	1	0
1	1	1	1

Synchronní čítače vpřed – příklady zapojení

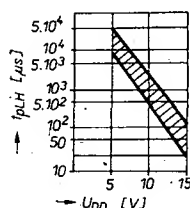
Dělič 2 je na obr. 106, dělič 3 na obr. 107, dělič 4 na obr. 108, dělič 5 na obr. 109, dělič 6 na obr. 110, dělič 7 na obr. 111,

Spojením dvou hradlových klopných obvodů do série vznikne klopný obvod D, master-slave, nejčastěji používaný v posuvných registrech a čítačích. Data přiváděna na vstup D budou na výstupu zpóźděna o polovinu taktu. Zapojení jedné poloviny klopného obvodu typu D 4013 je na obr. 100. Funkce tohoto obvodu je závislá na stavu přenosových členů. Bude-li úroveň taktovacích impulsů na C „0“, pak přenosové členy A a D budou sepnuty a B, C budou odpojeny, takže na výstupu Q části master bude komplement úrovně vstupu D. Výstup Q části slave bude mít poslední nabytou úroveň. Jinými slovy – jakákoli změna na vstupu D nevyvolá změnu na výstupu Q. Bude-li na C úroveň „1“, pak A a D budou odpojeny a B a C budou sepnuty, takže na výstupu Q části master bude komplement úrovně vstupu D, který se přenesou na výstup Q při kladné hraně taktu, čehož lze s výhodou využít pro funkce nastavení (set) a nulování (reset) při asynchronním provozu.

Kromě jiných parametrů je u klopných obvodů CMOS důležitým parametrem maximální pracovní kmitočet a maximální doba taktu zajišťující správnou funkci klopného obvodu. Na obr. 101 je závislost maximálního pracovního kmitočtu na napájecím napětí U_{DD} . Na obr. 102 je závislost maximální doby náběhu taktovacího

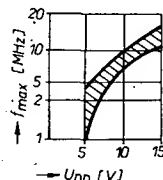


Obr. 101. Maximální kmitočet taktu

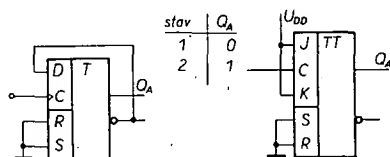


Obr. 102. Maximální doba náběhu taktu

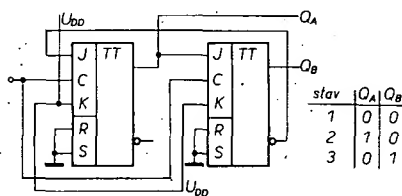
Funkce klopného obvodu J-K master-slave je velmi podobná funkci klopného obvodu D, je však závislá na úrovních vstupů J a K; data jsou prvně přenesena částí master. v době, kdy takt má úroveň „0“, avšak stav části slave zůstává zachován. Když takt bude na úrovni „1“, obsah části master zůstává zachován a jeho výstupní stav se přenáší do části slave. Klopný obvod 4027 je doplněn vstupy R a S, které umožňují nulování a nastavení při asynchronním provozu. V pravdivostní tabulce na obr. 103 jsou uvedeny výstupní stavy v závislosti na úrovních vstupů J a K pro synchronní provoz a vstupy R a S pro asynchronní provoz. Je patrné, že pokud $J = K = 1$, následný stav na Q nebo Q_{n+1} je komplementem, takže když $Q_n = 0$, bude $Q_{n+1} = 1$ anebo když $Q_n = 1$, pak $Q_{n+1} = 0$. Tímto způsobem lze zkonstruovat dělič dvěma pro synchronní provoz. Klopný obvod J-K, který má vstupy J a K na úrovni „1“, se označuje jako multivibrátor. Na obr. 104 je závislost opakovacího kmitočtu na U_{DD} a na obr. 105 závislost t_{PLH} taktovacího impulsu na U_{DD} .



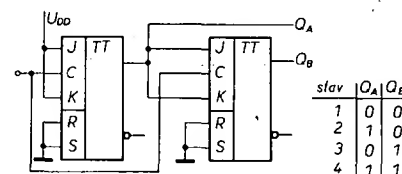
Obr. 104. Maximální kmitočet taktu



Obr. 106. Synchronní dělič 1 : 2

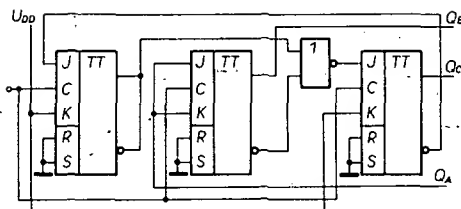


Obr. 107. Synchronní dělič 1 : 3



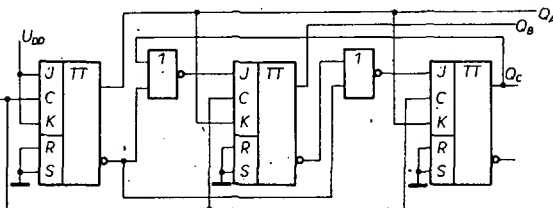
Obr. 108. Synchronní dělič 1 : 4

Obr. 109. Synchronní dělič 1 : 5



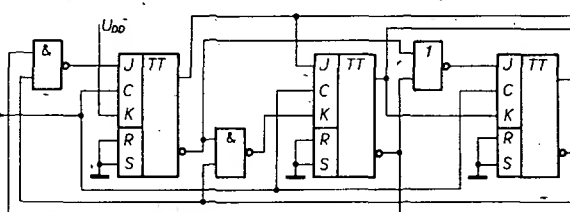
stav	Q_A	Q_B	Q_C
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	0
5	0	0	1

Obr. 110. Synchronní dělič 1 : 6



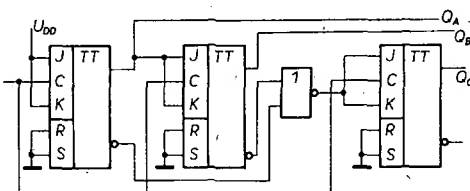
stav	Q_A	Q_B	Q_C
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	0
5	0	0	1
6	1	0	1

Obr. 111. Synchronní dělič 1 : 7



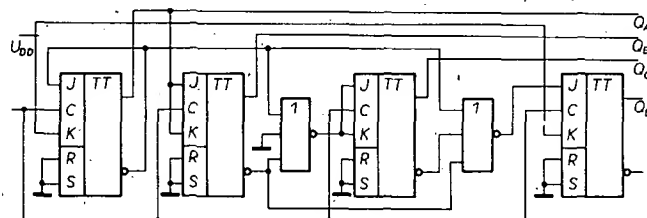
stav	Q_A	Q_B	Q_C
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	0
5	0	0	1
6	1	0	1
7	0	1	1

Obr. 112. Synchronní dělič 1 : 8



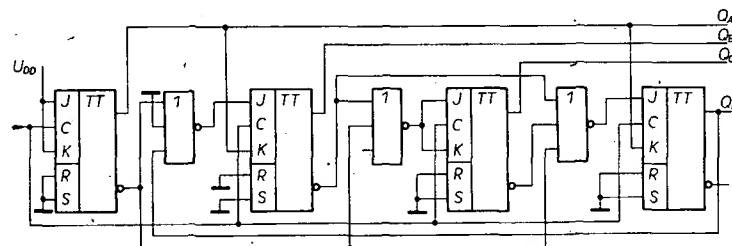
stav	Q_A	Q_B	Q_C
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	0
5	0	0	1
6	1	0	1
7	0	1	1
8	1	1	1

Obr. 113. Synchronní dělič 1 : 9



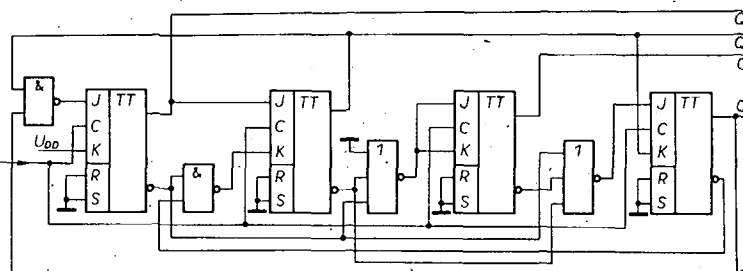
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1

Obr. 114. Synchronní dělič 1 : 10



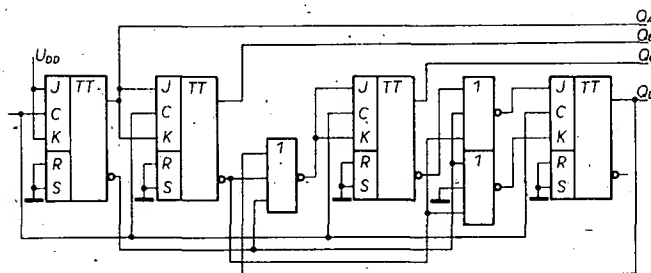
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1

Obr. 115. Synchronní dělič 1 : 11



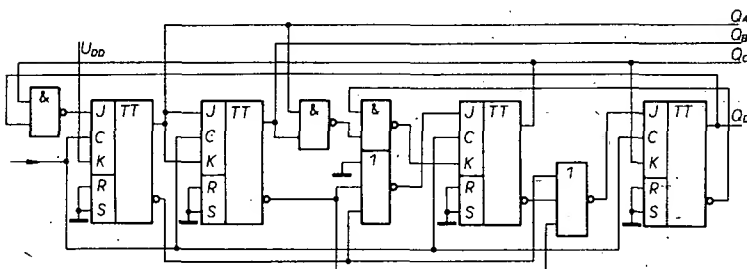
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1

Obr. 116. Synchronní dělič 1 : 12



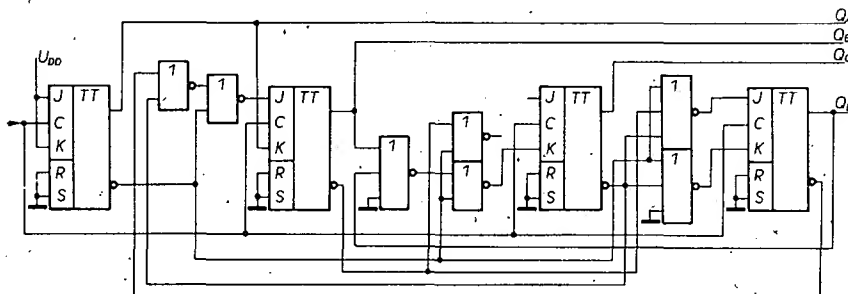
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1

Obr. 117. Synchronní dělič 1 : 13



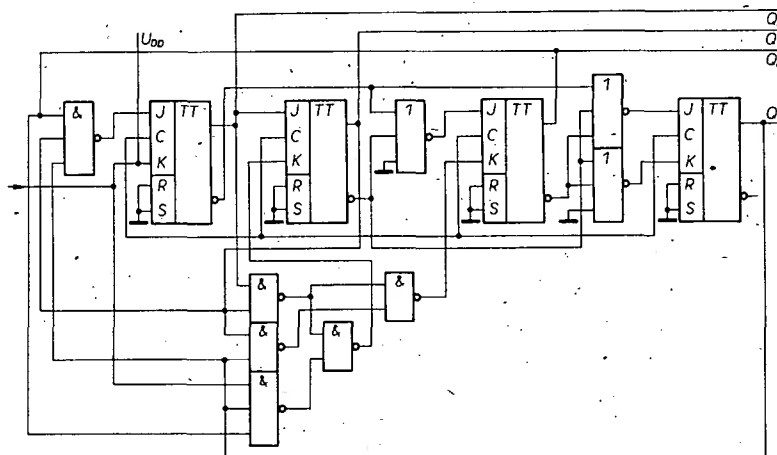
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13	0	0	1	1

Obr. 118. Synchronní dělič 1 : 14



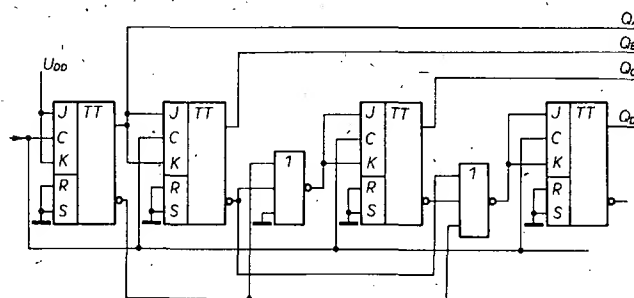
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13	0	0	1	1
14	1	0	1	1

Obr. 119. Synchronní dělič 1 : 15



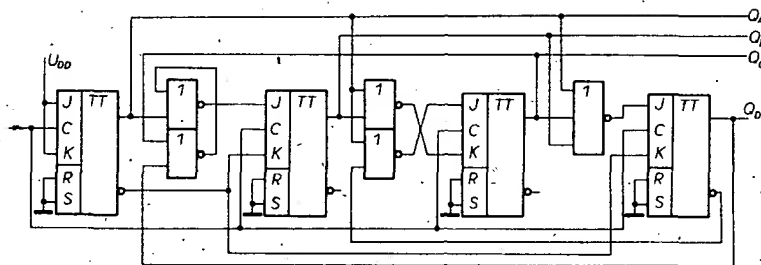
stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13	0	0	1	1
14	1	0	1	1
15	0	1	1	1

Obr. 120. Synchronní dělič 1 : 16

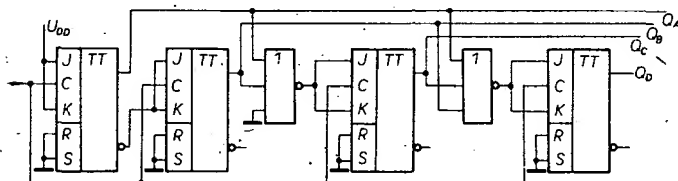


stav	Q_A	Q_B	Q_C	Q_D
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13	0	0	1	1
14	1	0	1	1
15	0	1	1	1
16	1	1	1	1

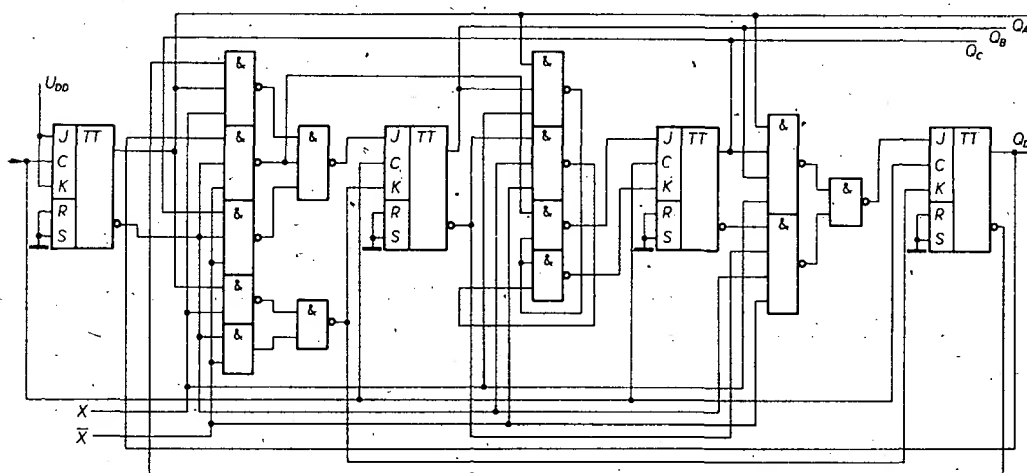
dělič 8 na obr. 112, dělič 9 na obr. 113, dělič 10 na obr. 114, dělič 11 na obr. 115, dělič 12 na obr. 116, dělič 13 na obr. 117, dělič 14 na obr. 118, dělič 15 na obr. 119 a dělič 16 na obr. 120.



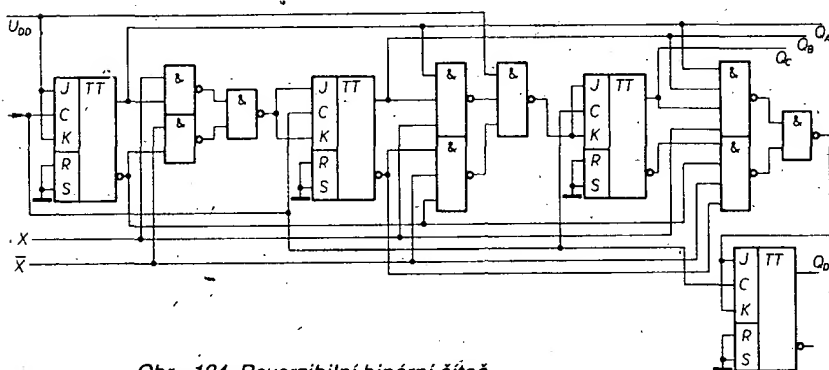
Obr. 121. Synchronní dekadický čítač vzad



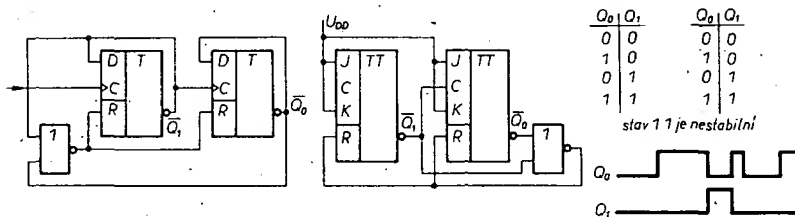
Obr. 122. Synchronní binární čítač vzad



Obr. 123. Reverzibilní dekadický čítač



Obr. 124. Reverzibilní binární čítač



Obr. 125. Asynchronní dělič 1 : 3

Synchronní binární čítače vzad – příklady zapojení

Dělení 10 (obr. 121), dělení 16 (obr. 122).

Synchronní reverzibilní čítač – příklady zapojení

Dělení 10 (obr. 123), dělení 16 (obr. 124).

Asynchronní čítače vpřed – příklady zapojení

Běžné asynchronní čítače potřebují pro své specifické operace součtové hradlo. Dělič 3 je na obr. 125, dělič 4 na obr. 126, dělič 5 na obr. 127, dělič 6 na obr. 128, dělič 7 na obr. 129, dělič 8 na obr. 130, dělič 9 na obr. 131, dělič 10 na obr. 132, dělič 16 na obr. 133.

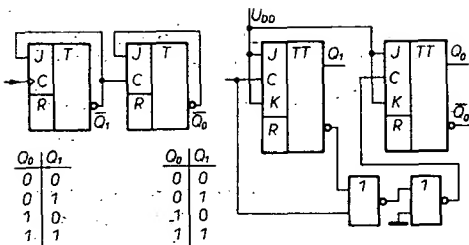
Střadače

Střadač dovoluje, pokud je to žádoucí, zapamatování logické funkce. Informace je zapamatována po nastavení doplňkového řídicího vstupu na požadovanou úroveň. Střadače CMOS jsou hlavně používány jako samostatné střadače informací, střadače pro dekodéry, střadačové paměti ve složitých obvodech (jako vícemístné čítače, paměti apod).

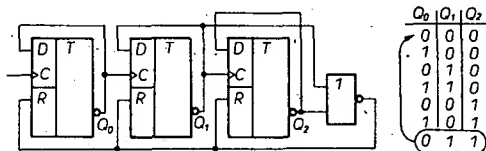
Základní zapojení střadačů je dvojitý střadačový klopný obvod – hradlový klopný obvod. V následující části je popsán dvojitý čtyřbitový střadač, čtyřnásobný taktem řízený střadač D a čtyřbitový dekodér se střadačem.

Střadačový klopný obvod R-S

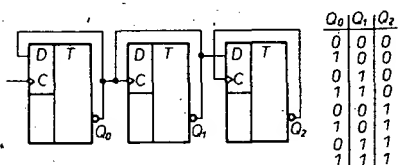
Střadačový klopný obvod R-S je velmi podobný hradlovému klopnému obvodu z obr. 98. Hlavní rozdíl spočívá v tom, že nemůže být na obou vstupech R a S současně „1“ nebo „0“. To je zajištěno invertorem, zapojeným mezi vstupy R a S. Zapojení takového střadačového obvodu s hradly NOR je na obr. 134, kde je i pravdivostní tabulka, z které vyplývá, že se stav střadače změní teprve při úrovni „0“ na vstupu strobe (výběr). Pokud na tomto vstupu bude „1“, uchová se informace ze vstupu D. Úroveň na vstupu strobe je možné řídit výběr vhodných dat z celkového sledu dat.



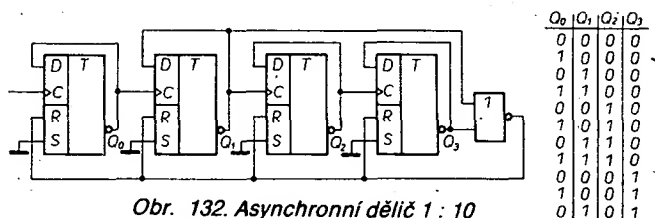
Obr. 126. Asynchronní dělič 1 : 4



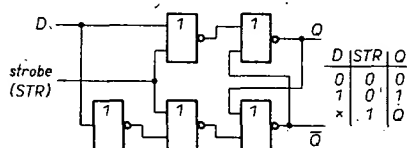
Obr. 128. Asynchronní dělič 1 : 6



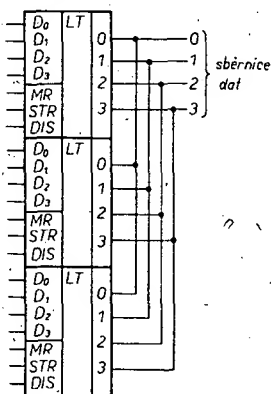
Obr. 130. Asynchronní dělič 1 : 8



Obr. 132. Asynchronní dělič 1 : 10



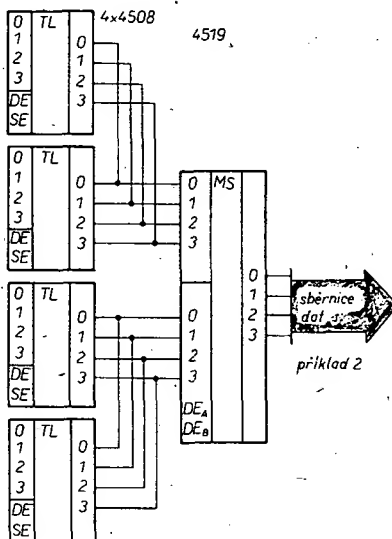
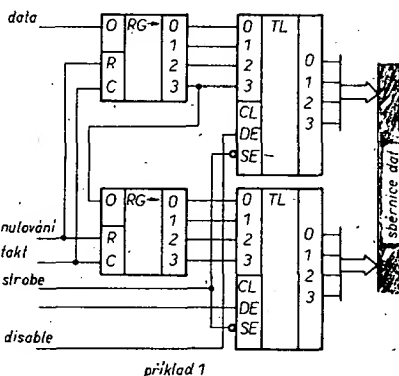
Obr. 134. Střadačový klopný obvod R-S



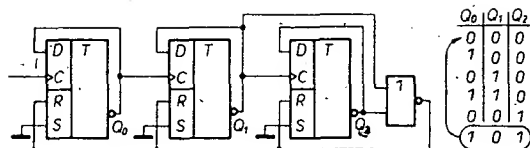
Obr. 135. Připojení čtyřbitových střadačů na třístavovou sběrnici

Hradlový klopný obvod

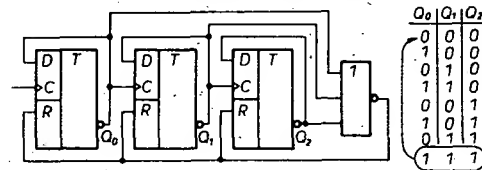
Na obr. 99 bylo zapojení hradlového klopného obvodu, který je velmi často používán ve střadačích CMOS. Hlavní výhodou je menší spotřeba hradel než u obvodu R-S. Pravdivostní tabulka tohoto obvodu je ekvivalentní pravdivostní tabulce střadačového obvodu R-S. Z ní je zřejmé, že bude-li na vstupu strobe úroveň „1“, jsou data přenesena do střadače, a bude-li úroveň na vstupu strobe „0“, obsah střadače se nemění. Výstup s vel-



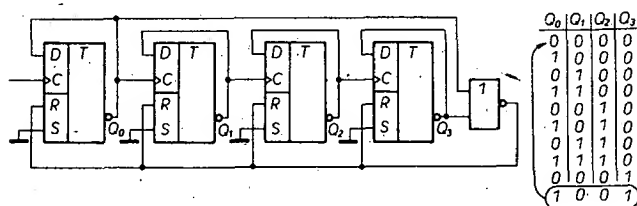
Obr. 136. Systém přenosu dat po sběrnici se zapamatováním dat a obvody 4508



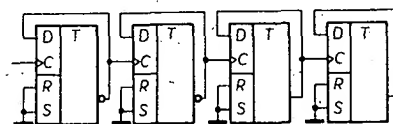
Obr. 127. Asynchronní dělič 1 : 5



Obr. 129. Asynchronní dělič 1 : 7

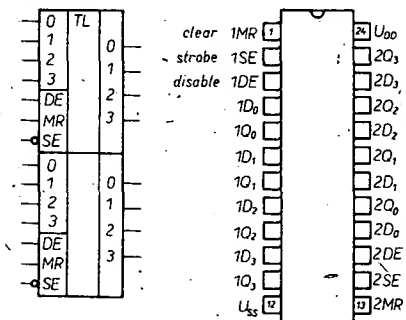


Obr. 131. Asynchronní dělič 1 : 9



Obr. 133. Asynchronní dělič 1 : 16

kou impedancí je řízen přes vstup disable, který je aktivován úrovní „1“. Při použití střadačů v systémech se sběrnicemi dat lze přes vstup disable (blokování) připojovat střadače od nebo ke sběrnici. Příklady připojení čtyřbitových střadačů typu 4508 jsou na obr. 135 a 136.



MR	SE'	DE	D3	D2	D1	D0	Q3	Q2	Q1	Q0
0	1	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	1
0	1	0	0	0	1	0	0	0	1	0
0	1	0	0	0	1	1	0	0	1	1
0	1	0	0	1	0	0	0	1	0	0
0	1	0	0	1	0	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0
0	1	0	0	1	1	1	0	1	1	1
0	1	0	1	0	0	0	1	0	0	0
0	1	0	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	1	1	0	1	1
0	1	0	1	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1	1	0	1
0	1	0	1	1	1	0	1	1	1	0
0	1	0	1	1	1	1	1	1	1	1
0	0	0	x	x	x	x				
1	x	0	x	x	x	x	0	0	0	0
x	x	1	x	x	x	x				

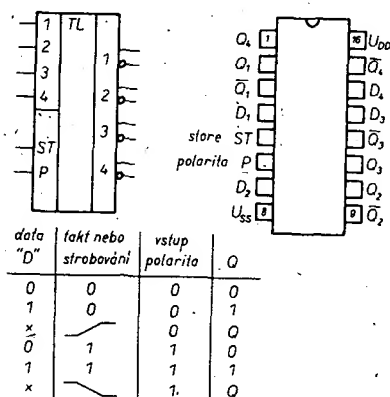
Obr. 137. Zapojení čtyřbitového střadače

Dvojitý čtyřbitový střadač typu 4508

Obvod 4508 je sestaven ze dvou stejných částí, tvořenými hradlovými střadačovými klopnými obvody s třístavovým výstupem. Na obr. 137 je zapojení jedné části obvodu 4508. Každá část má svůj vstup strobe a disable a nulování části master. Všechny vstupy mají maximální odstup rušivých napětí. Funkce obvodu je vyjádřena pravdivostní tabulkou na obr. 137.

Čtyřnásobný taktém řízený střadač typu 4042

Obvod 4042 je tvořen čtyřmi hradlovými klopnými obvody pracujícími jako střadače s doplňkovými invertory, takže jsou k dispozici výstupy Q a Q̄. Kromě společného vstupu taktu a strobe je u tohoto obvodu vstup polarita, kterým se řídí zapamatování polarity dat před příchodem taktu. Zapojení obvodu 4042 je na obr. 138 a jeho hlavními aplikacemi jsou



Obr. 138. Čtyřnásobný střadač 4042

posuvné registry, obvody zapamatování dat, multiplexní systémy dat a převodníky paralelních dat na data sériová.

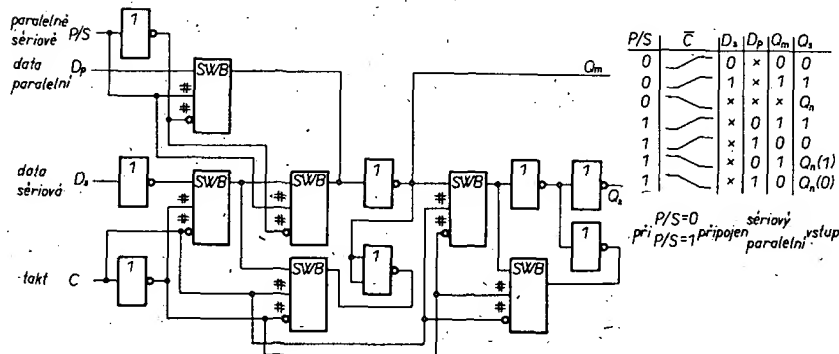
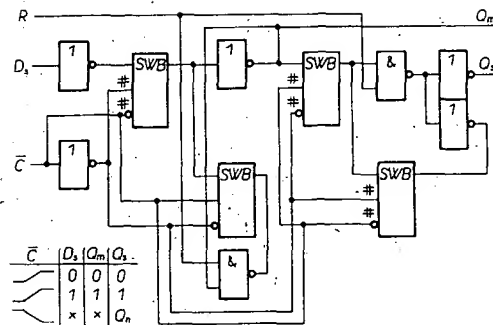
Posuvné registry

Posuvné registry jsou obvody používané zejména v aritmetických logických jednotkách (ALU), v převodnicích dat sériových na paralelní a obráceně, v generátorech náhodných průběhů a v paměťových obvodech. Posuvné registry obvykle dělíme na dvě skupiny:

- běžné posuvné registry s konstantní nebo proměnnou délkou slova (slovo jsou data o daném počtu bitů), používané jako dočasné paměťové prvky, mívají buď sériový nebo paralelní vstup a buď sériový nebo paralelní výstup. Při sériovém vstupu/výstupu jsou data zapisována/vysílána postupně za sebou, kdežto při paralelním vstupu/výstupu jsou data zapisována/vysílána současně. Najednou se zpracuje n bitů,

- univerzální posuvné registry sběrnice použitých pro obousměrný přenos dat. Sběrnice je soustava vodičů, na níž jsou připojeny buď vstupy nebo výstupy jednotlivých IO systému. Obousměrný přenos dat slouží v systému k příjmu a vysílání dat po sběrnici mezi jednotlivými obvody systému.

Obr. 139. Základní paměťová buňka registru (klopný obvod master-slave D)



Obr. 140. Základní paměťová buňka registru s paralelním vstupem (klopný obvod master-slave D)

Většina posuvných registrů CMOS je statická, tzn. že po skončení přenosu dat zůstávají tato data v registru uchována (u registrů dynamických je nutné data po určité době obnovovat, refresh).

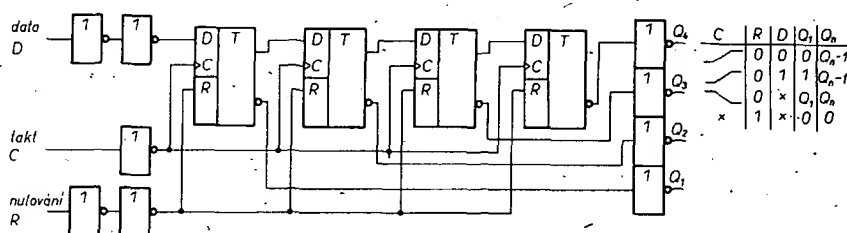
Základní paměťové buňky statických posuvných registrů

Základní zapojení paměťových buněk používaných ve statických posuvných registrech je na obr. 139 a na obr. 140.

Paměťová buňka na obr. 139 je sestavena ze dvou hradlových klopných obvodů zapojených jako klopné obvody master-slave typu D, nulována je dvěma hradly NAND. Tato paměťová buňka je základem pro konstrukci posuvného registru. Doplňme-li ji dvěma přenosovými členy, dostaneme buňku pro paralelní vstup dat. Vstupem paralelní/sériový je řízen druh provozu registru. Na obr. 140 je zapojení paměťové buňky posuvného registru vhodného pro paralelní vstup dat.

Dvojitý statický 4bitový posuvný registr typu 4015

Obvod 4015 je sestaven ze dvou stejných na sobě nezávislých statických posuvných registrů s délkou slova 4 bity. Každý z nich má nezávislé vstupy pro takt, nulování, sériový vstup dat a sériový/paralelní výstup. Pro buňku je zde použit klopný obvod master-slave typu D, popsáný v předchozí stati. Vstupní data jsou



Obr. 141. Zapojení poloviny čtyřbitového posuvného registru 4015

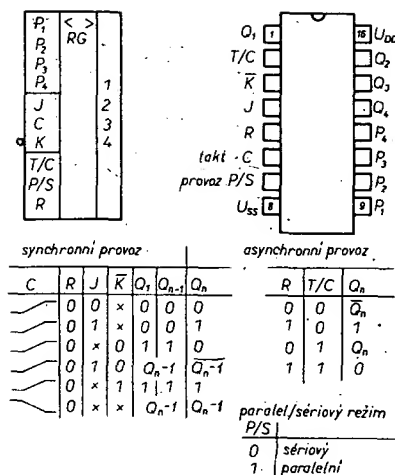
posouvána od jednoho stupně k druhému kladnou hranou taktu. Obvod je nulován úrovní „1“ na vstupu nulování R. Na obr. 141 je zapojení jedné poloviny IO 4015. Na vstupech a výstupech jsou zapojeny invertory, takže obvod má maximální odstup rušivých napětí. Obvod 4015 nemá třístavový výstup a nachází uplatnění ve statických posuvných registrech, převodnicích dat sériových na paralelní, generátorech náhodných průběhů a čísel a v pamětech dat.

Čtyřbitový posuvný registr s paralelním vstupem/výstupem, 4035

Obvod 4035 je sestaven ze čtyř paměťových buněk s paralelními vstupy, takže je schopen pracovat v následujících režimech:

- sériový vstup – sériový výstup,
- sériový vstup – paralelní výstup,
- paralelní vstup – paralelní výstup,
- paralelní vstup – sériový výstup.

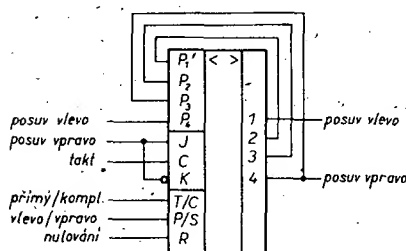
Vstup D první paměťové buňky registru může být dodatečně blokován signálem na vstupech J a K klopného obvodu, takže daný registr je možné použít i jako čítač nebo generátor posloupnosti. Obsah všech buněk registru může být vymazán úrovní „1“ na společném vstupu R (nulování). Paralelní/sériový provoz je řízen úrovní na vstupu P/S. Vstupem T/C (true complement) je určeno, zda na výstupu budou přímá data nebo jejich komplement. Zapojení obvodu 4035 je na obr. 142, obvod se používá hlavně v generátorech



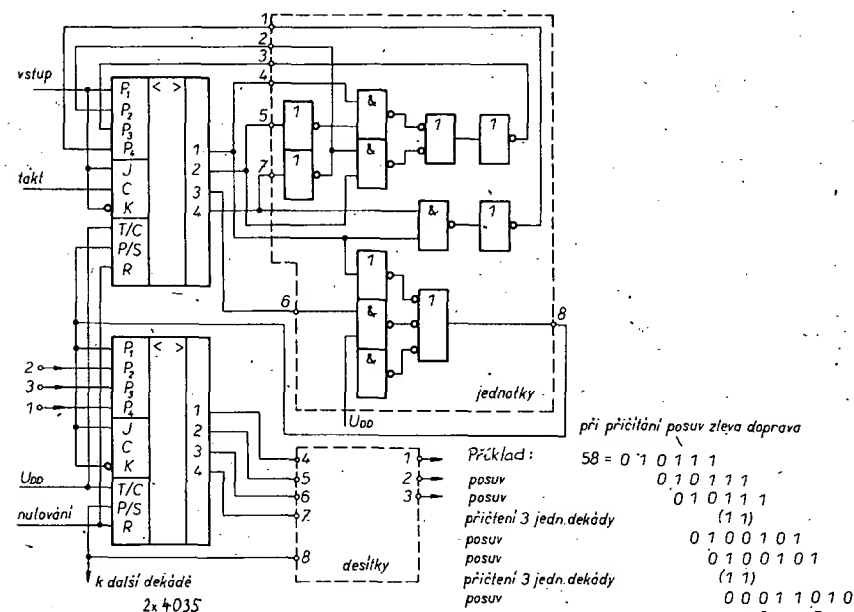
Obr. 142. Zapojení čtyřbitového posuvného registru s paralelním vstupem a paralelním výstupem

rech posloupnosti, převodnicích kódů, čítačích a převodnicích dat sériových na paralelní a obráceně. Na obr. 143 je zapojení převodníku binárního kódu na kód BCD, který pracuje takto: Binární číslo je sériově zapsáno do registru (MSB jako první). Objeví-li se číslo 4 nebo menší, je posuv proveden při následujícím taktu. Při čísle 5 nebo větším se přičtou 3 a k posuvu dojde při následujícím taktu.

Na obr. 144 je zapojení posuvného registru s posuvem vlevo-vpravo.



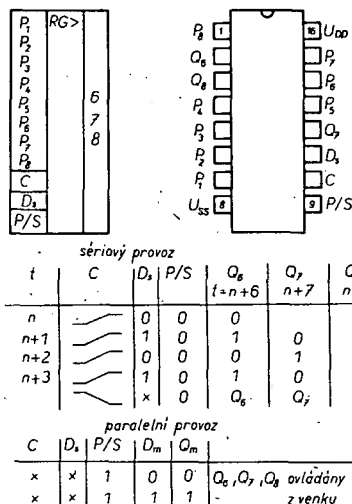
Obr. 144. Zapojení registru pro posuv vpravo-vlevo s obvodem 4035



Obr. 143. Převodník binárního kódu na kód BCD

Osmibitový statický posuvný registr 4021

Obvod 4021 je sestaven z osmi buněk, z nichž každá má paralelní vstup. Nejčastěji se tento obvod používá v převodnicích dat se sériovým vstupem – sériovým výstupem nebo s paralelním vstupem-sériovým výstupem. Vyvedeny jsou pouze výstupy 6, 7 a 8. Druh provozu se řídí přes vstup paralelní/sériový. Každá buňka je zapojena jako klopný obvod master-slave typu D a je přípustná přes vstupy D_{p1} až D_{p8}. Sériový vstup a všechny výstupy mají oddělovací stupně, takže je dosaženo maximálního odstupu rušivých napětí. Obvod nemá třístavový výstup a jeho zapojení je na obr. 145.

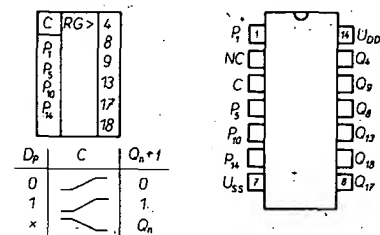


Obr. 145. Zapojení osmibitového statického registru 4021

Osmnáctibitový statický posuvný registr typu 4006

Obvod 4006 je sestaven ze čtyř dílčích registrů se společným taktém. Dva registry jsou čtyřstupňové a dva pětistupňové, u nichž je vyveden čtvrtý a pátý stupeň. Toto uspořádání je velmi výhodné, neboť máme k dispozici 4, 5, 8, 9, 10, 12, 13, 14, 16, 17 a 18 bitů s výhodným rozdělením vstupů a výstupů. Buňky jsou tvořeny

klopnými obvody master-slave typu D. Sériový vstup a všechny výstupy mají oddělovací stupně. K přenosu dat dochází při záporné hraně taktu. Zapojení 4006 je na obr. 146. Obvod je navržen pro provoz se sériovým vstupem a sériovým výstupem a je vhodný zejména pro zpožďování signálu. Pokud potřebujeme delší posuvný registr, řadíme obvody za sebou.



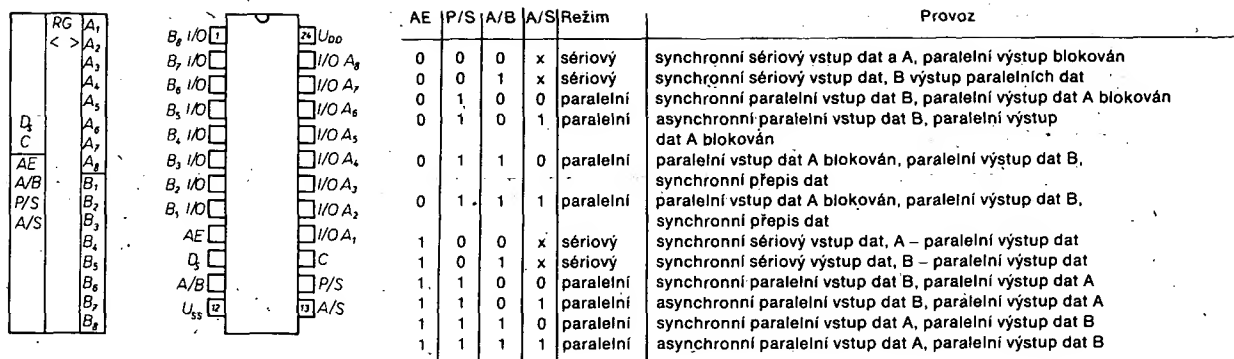
Obr. 146. Zapojení osmibitového posuvného registru 4006

Univerzální 8bitový registr pro sběrnice, 4034

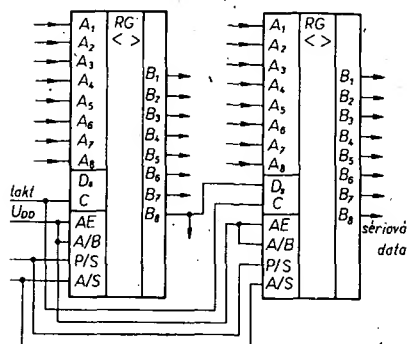
Obvod 4034 je pravděpodobně jedním z nejzajímavějších obvodů patřících do druhé skupiny posuvných registrů. Jedná se o 8bitový statický posuvný obousměrný registr s paralelním/sériovým vstupem/výstupem. Obvod má dva nastavitelné vstupy/výstupy, které umožňují obousměrný přenos dat mezi dvěma sběrnice-mi; převod sériových dat na paralelní a zpět. Ze sériového vstupu dat jsou data posouvána vpravo, kdežto posuv vlevo je možné provést propojením paralelního výstupu s výstupem předchozím. Zapojení obvodu 4034 je na obr. 147 a je sestaven z osmi registrů zapojených za sebou a z řídicího obvodu. Každý registr je tvořen klopným obvodem master-slave typu D s odděleným vnitřním taktém a se dvěma přenosovými členy pro přenos dat ze sběrnice A na sběrnici B a opačně při možnosti uchování dat. Kromě jednofázového taktu a sériového vstupu dat má řídicí logika čtyři vstupy:

- vstupem A se při úrovni „1“ uvolňuje sběrnice dat A,
- vstupem A/B se řídí směr toku dat. Při úrovni „1“ jsou data ze sběrnice A na sběrnici B, při úrovni „0“ obráceně,
- vstupem P/S se určuje, jak mají být data zaznamenána, zda v sériovém synchronním režimu při úrovni „0“ nebo v paralelním asynchronním režimu při úrovni „1“ na tomto vstupu,
- vstupem A/S se určuje, mají-li být data přenesena synchronně s taktém (úroveň „0“) nebo asynchronně při úrovni „1“.

Hlavní oblasti při použití obvodu 4034 jsou obvody ke generování náhodných kódů, registry pro výběr a zapamatování (sample-hold), kmitočtové a fázové komparátory, převodníky kódů a dat ze sériových na paralelní a obráceně. Na obr. 148 je zapojení převodníku paralelní vstup/paralelní výstup na paralelní vstup/sériový výstup a sériový vstup/paralelní výstup. Na obr. 149 je zapojení kmitočtového a fázového komparátoru.



Obr. 147. Zapojení osmitřídového univerzálního registru sběrnice 4034



Obr. 148. Zapojení univerzálního 16bitového převodníku dat

Toto rozdělení souvisí se dvěma proměnnými, s operačním kódem čítače a operačním režimem čítače.

V běžných čítačích se používají tři typy operačních kódů:

- binární kód,
- binárně kódovaný dekadický kód (kód BCD),
- Johnsonův kód osmičkový nebo dekadický.

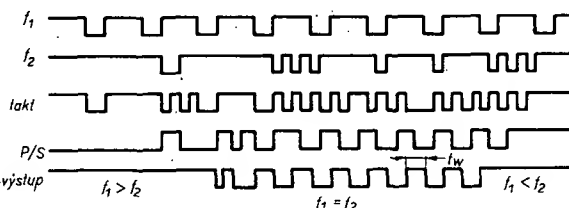
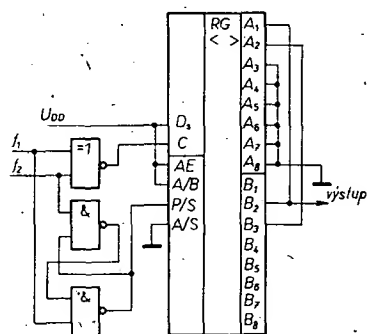
Binární kód je kód váhový a dovoluje sestavit čítač z minimálního počtu čítačových buněk, jejichž počet N je dán vztahem:

$$N = 3,322 \log x,$$

Kód BCD je rovněž kód váhový a používá se hlavně v aritmetické logice a v soustavě dekadických čítačů. Omezení platící pro kód binární se vztahují i na kód BCD. Počet čítačových buněk v čítači BCD je čtyři na číslo.

U Johnsonova kódu se mění vždy jen jedna proměnná, když čítač přechází do následujícího stavu. Použití tohoto kódu dovoluje velmi jednoduše řešit dekodovací stupně, neobjevují se „přeskoky“ a čítače mohou mít teoreticky jakoukoli kapacitu. Jeho nevýhodou je větší spotřeba čítačových buněk, $N = x/2$. Tak např. pro $x = 8$ potřebujeme 4 buňky a pro $x = 10$ potřebujeme 5 buněk.

Čítač je označován jako čítač vpřed, když se jeho obsah zvětšuje při každém



Obr. 149. Kmitočtový a fázový komparátor se 4034

Čítače a časovače

Tato stať je rozdělena na čtyři části. V první části jsou probírány všeobecné charakteristiky a terminologie používaná v oblasti čítačů. V druhé části je analyzována základní buňka čítače, ve třetí části je pozornost věnována synchronním čítačům a ve čtvrté jsou popsány asynchronní čítače a časovače.

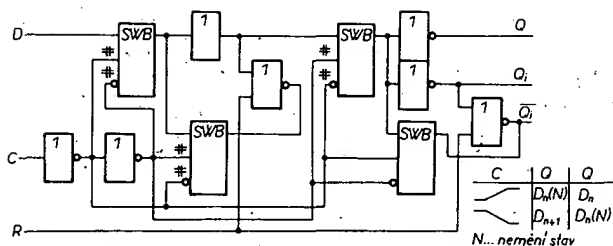
Největší počet obvodů CMOS střední integrace je konstruován pravděpodobně jako čítače a časovače, které rozdělujeme takto:

kde x je maximum čítaných stavů daného systému. Číslo N je vždy celé číslo zaokrouhlené nahoru. V praxi je kapacita čítače omezena ekonomickými důvody, zejména však počtem vývodů pouzdra. Hlavní nevýhodou binárního kódu je, že při přechodu z jednoho stavu do stavu druhého se mění vždy několik logických proměnných. Pokud nejsou nastaveny přesně logické proměnné pro dekodování daného stavu, může dojít k neúplnému přenosu, který se někdy označuje jako „přeskok“.

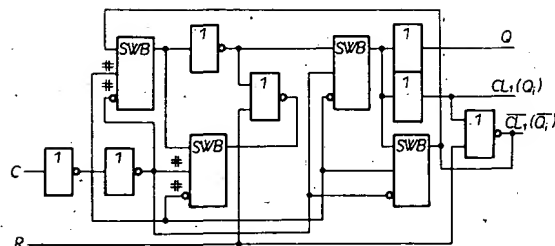
taktu. Tak např. čítač BCD má následující stavy: 0, 1, 2, 3, ..., 8, 9. Čítač je označován jako čítač vzad, zmenšuje-li se jeho obsah při každém taktu. Např. čítač BCD má následující stavy: 9, 8, 7, ..., 2, 1, 0.

Některé obvody mohou pracovat v jednom z obou režimů a ty označujeme jako čítače reverzibilní. Některé čítače mají ještě dvě doplňkové funkce, předběžné nastavení a programovatelné nastavení. Přednastavení dovoluje obsah čítače přednastavit na předem zadanou hodnotu. Toho bývá využito zejména u programovatelných čítačů, které někdy potřebují i dodatečně vnější blokovaní. Programovatelné nastavení dovoluje nastavit definované nebo proměnné délku čítaného cyklu přes vstup přednastavení (preset). Programovatelné čítače jsou obvykle čítače vzad, které pomocí vstupu uvolnění přednastavení (preset enable-PE) zavádou přednastavenou proměnnou do čítače paralelně po dočítání do nuly. Tyto čítače nepotřebují vnější blokovaní, protože to je již součástí obvodu. Některé zvláštní časovače se programují logikou, připojenou na výstup čítacího řetězce. Binárním slovem může být vybrán požadovaný číselník čítání. Uvedené obvody jsou hlavně používány jako programovatelné děliče kmitočtu.

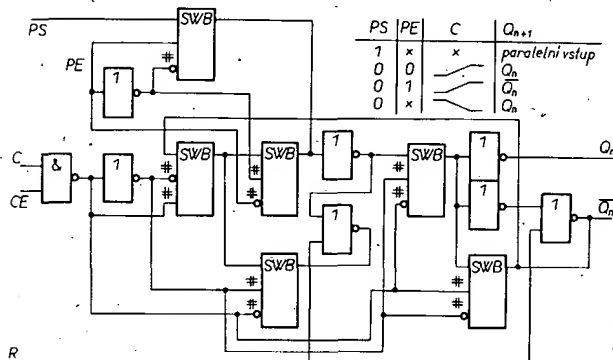
Kód	BCD	binární		Johnsonův	
		binární	kruhové	osmičkové	dekadické
Funkce	čítače	čítače	časovače	čítače	čítače
Vpřed	4518	4520	4020 4024 4040	4521 4536	4022 4017
Vzad	4522	4526			
Reverzibilní	4029 4510	4029 4516			



Obr. 150. Zapojení klopného obvodu master-slave D pro čítače



Obr. 151. Multivibrátor v řetězových čítačích



Obr. 152. Řízený multivibrátor používaný v programových čítačích

Základní buňky čítače

Pro běžné čítače jsou používány tři typy buněk:

- klopný obvod master-slave typu D s přímým nulováním, používaných zejména v reverzibilních čítačích,
- multivibrátor používaný v kruhových čítačích a časovačích,
- řízený multivibrátor s přímým vstupem nastavení, řízeným přes vstup uvolnění přednastavení, a s přímým vstupem řízeného nulování. Tento typ nachází hlavní uplatnění v přednastavitelných a programovatelných čítačích.

Klopný obvod master-slave typu D

Klopný obvod master-slave typu D, používaný v čítačích, jsou v podstatě dvě za sebou zapojené hradlované klopné obvody CMOS. Jeho zapojení je na obr. 150, funkce nulování je dosaženo úrovní

„1“ na výstupu zpětnovazebního invertoru. Data ze vstupu na výstup Q jsou přenesena při kladné hraně taktu.

Multivibrátor

Multivibrátor získáme z klopného obvodu master-slave typu D, propojíme-li vstup D s výstupem Q. Všechny přenosové členy v klopném obvodu jsou řízeny takt. Tím je zaručeno, že výstup Q při $n + 1$. taktu bude komplementem vstupu D, a tedy $Q_{n+1} = \bar{Q}_n$, takže multivibrátor dělí dvěma. Na obr. 151 je zapojení multivibrátoru. Výstupy Q₁ a Q₂ tvoří fázi taktu, které je využito v následujícím stupni kruhového čítače. Hlavní vstup R (nulování, reset) se nastaví na úroveň „1“ zpětnovazebním invertorem.

Řízený multivibrátor

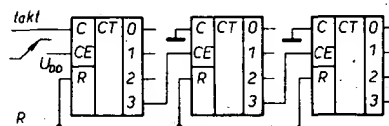
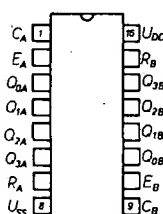
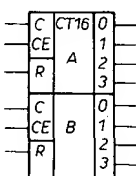
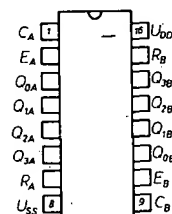
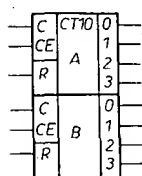
Řízený multivibrátor má téměř stejné zapojení jako běžný multivibrátor. Hlavní

rozdíl je v tom, že vstup taktu je dodatečně blokován přes vstup řízení multivibrátoru a podle logické úrovně je přiveden takt na přenosové členy klopné úrovně. Tohoto zapojení se využívá v přednastavitelných a programovatelných čítačích, takže je zapotřebí jen málo doplňkových hradel. Na obr. 152 je zapojení řízeného multivibrátoru, z něhož je vidět, že klopný obvod má výstupy pro přednastavení a uvolnění přednastavení. Řízené nulování je stejné jako u předchozích klopných obvodů.

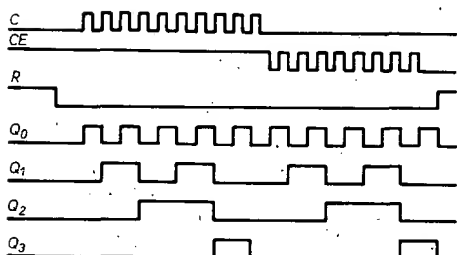
Synchronní čítače

Dvojitý čítač BCD vpřed 4518
a dvojitý binární čítač vpřed 4520

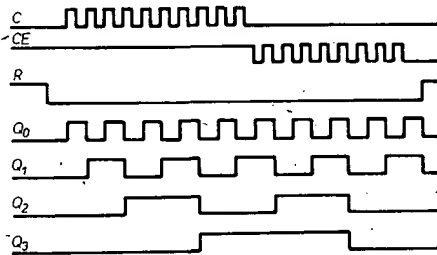
Obvody 4518 a 4520 jsou sestaveny ze dvou na sobě nezávislých, vnitřně synchronizovaných čtyřstupňových čítačů. Každý ze stupňů čítače je klopným obvodem typu D, který je řízen přes vstup uvolnění (enable) a vnitřním takt. Obě čítače se zvětšují při kladné hraně taktu nebo při záporné hraně impulsu uvolnění, takže je možné řadit několik stupňů za sebou. Každý čítač může být vynulován úrovní „1“ na vstupu R (nulování, reset). Na obr. 153 je zapojení jedné poloviny IO 4518 a na obr. 154 jedné poloviny IO 4520. Příklad kaskádního řazení několika čítačů za sebou je na obr. 155, které je možné použít jak pro čítače



Obr. 155. Kaskádní řazení čítačů 4518 a 4520.



Obr. 153. Dekadický čítač 4518



Obr. 154. Binární čítač 4520

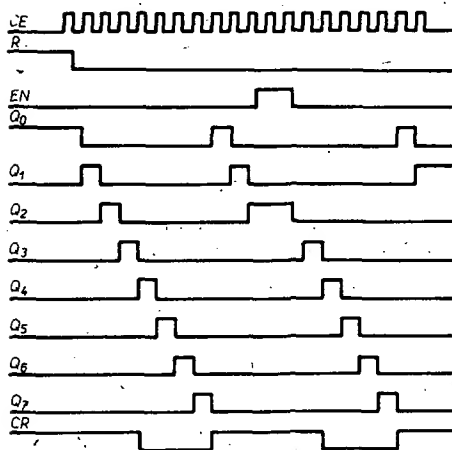
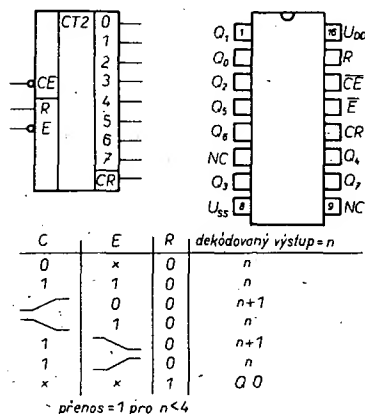
C	CE	R	funkce
0	1	0	přičítá
0	0	0	přičítá
x	x	0	beze změny
1	0	0	—
1	0	0	—
x	x	1	výstupy = 0

Tabulka je společná pro obr. 153 a 154

BCD, tak i binární. Kapacita čítání X je dána: $X = 10^n$ pro dekadický čítač a $X = 16^n$ pro čítač binární, kde n je počet čítačů. Z časového diagramu je zřejmé, že obsah čítače se zvětší, když na vstupu uvolnění prvního čítače bude úroveň „1“. Obsah dalšího čítače se zvětší při sestupné hraně na Q_3 předchozího čítače, kterou je aktivován vstup uvolnění následujícího čítače. Vstupy nulování jsou propojeny paralelně.

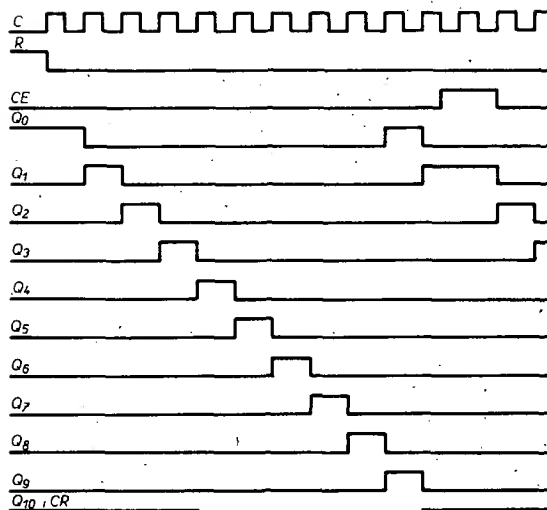
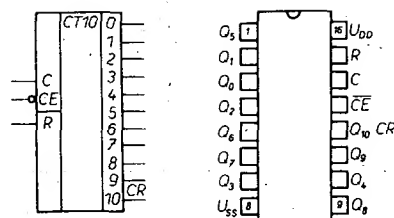
Johnsonův osmičkový čítač 4022 a dekadický 4017

Velká rychlost a krátce aktivovaný dekodovaný výstup jsou hlavními výhodami Johnsonova čítače. Osmičkový čítač 4022 je sestaven ze čtyř klopných obvodů typu D a dekadický čítač 4017 z pěti těchto obvodů. Dekodovaný výstup potřebuje pouze dvě vstupní hradla, jak lze odvodit z Johnsonova kódu. Výstup je trvale na úrovni „0“, s výjimkou dekodovaného stavu, kdy je na úrovni „1“. Obvody mají vyvedeny vstupy taktu a uvolnění taktu, takže čítač může zvětšovat svůj obsah buď při kladné hraně taktu nebo při záporné hraně uvolnění taktu. Pro možnost kaskádního řazení je vyveden výstup CR (přenos, carry). Na obr. 156 je zapojení

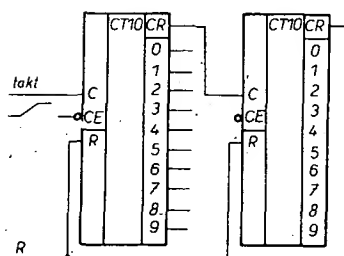


Obr. 156. Zapojení osmičkového čítače 4022

obvodu 4022 a na obr. 157 obvodu 4017. Na obr. 158 je zapojení pro kaskádní řazení Johnsonových čítačů, při kterém kapacita X celého čítače je 8^n pro osmičkový čítač a 10^n pro čítač dekadický, kde n je počet čítačů v kaskádě.



Obr. 157. Zapojení dekadického čítače 4017

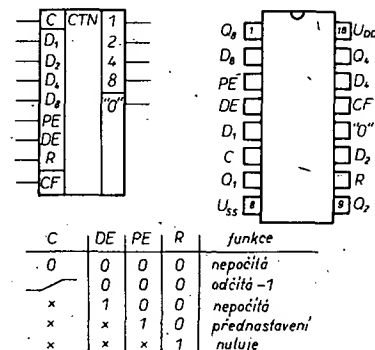


Obr. 158. Kaskádní řazení čítačů 4022 a 4017

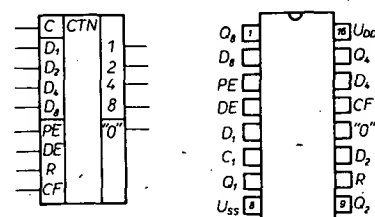
Programovatelný dělič číslem N , dekadický 4522 a binární 4526

Programovatelný dělič číslem N je čítač vřad sestavený ze čtyř řízených multivibrátorů s doplňkovým blokováním, kterým je řízeno počítání vřad a ze vřadu a vřadu pro kaskádní řazení bez použití vnější logiky. Obvod 4522 je programovatelný čítač BCD a obvod 4526 je programovatelný binární čítač.

Čítače jsou programovány přivedením proměnné pro přednastavení na vstupy D_0 . Proměnná je přenášena do čítačové buňky vstupem přednastavení (PE) podle pravdivostní tabulky. Blokováním taktu přes vstup DE je možné přerušit činnost čítače a přes vstup nulování části master je umožněno synchronní spouštění děliče cyklu N . Vstup kaskádní zpětné vazby (CF) a výstup „0“ umožňují kaskádní spojení čítačů za sebou. Při provozu bude výstup „0“ na úrovni „1“, když čítač dosáhne nuly na všech výstupech Q , kdy $CF = „1“$. Pokud $CF = „0“$, výstup „0“ nemění svou úroveň, stejně jako když je obsah čítačů „0“. To zajišťuje, že při propojení vřadu PE s výstupem „0“ je proměnná pro přednastavení registrována, když všechny čítače budou „na nule“. Zapojení obvodu 4522 je na obr. 159 a obvodu 4526 na obr. 160.

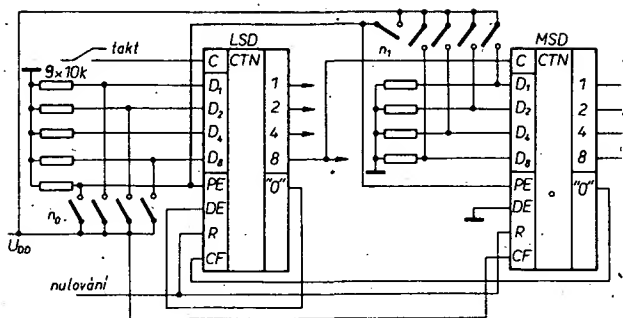


Obr. 159. Programovatelný dekadický dělič 1 : N , 4522

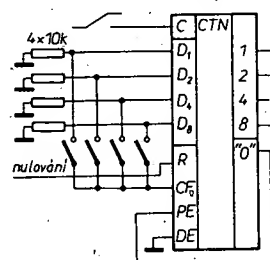


Obr. 160. Programovatelný binární dělič 1 : N , 4526

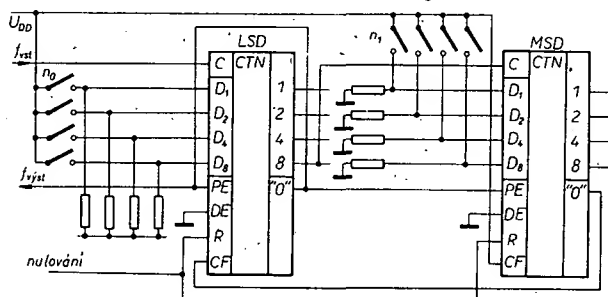
Kapacitu čítání můžeme rozšířit s využitím vlastností, které jsou pro oba obvody charakteristické. Při kaskádním zapojení (obr. 161) je funkce následující: Předvolané číslo bude přeneseno na vstup čítačů řetězce jediné tehdy, budou-li všechny čítače „na nule“. Potom se obsah čítače LSD zmenšuje při každé kladné hraně taktu. Dosáhne-li čítač LSD nuly, proběhne další cyklus, pokud čítač BCD nedosáhne 10 nebo binární čítač 16. Při každém přechodu z 0 na 9 (nebo z 0 na 15) se obsah čítače zmenší o jednu jednotku z následujícího čítače. Bude-li výstup „0“ ze všech čítačů zapojených do řetězce



Obr. 161. Programovatelný čtyřbitový čítač vzad s 4522 a 4526



Obr. 162a). Programovatelný čítač vzad pro jeden cyklus se 4522 nebo 4526

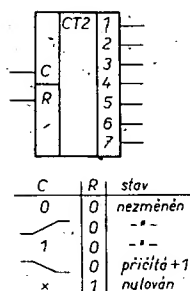


Obr. 162b). Dvou-
stupňový progra-
movatelný dělič
kmitočtu se 4522
nebo 4526

„0“, což je kontrolováno vstupy kaskádní zpětné vazby (CF), je tento stav zajištěn čítačem LSD a přednastaví se předvolené číslo v celém řetězci (výstup „0“ čítače LSD je spojen se všemi vstupy přednastavení).

Pro objasnění si uvedeme příklad dvou čítačů BCD, zapojených podle obr. 161 a přednastavené číslo bude 35. Čítač LSD přednastavíme na číslo 5 a čítač MSD na číslo 3.

- Čítač LSD počítá směrem k nule.
- Během každého přeskoky čítače LSD z 0 na 9 se zmenší obsah čítače MSD o jednu.
- Když oba čítače dosáhnou nuly, což je detekováno vzájemným propojením výstupů „0“ a vstupů CF, přednastaví se opět číslo 35 a cyklus se opakuje.

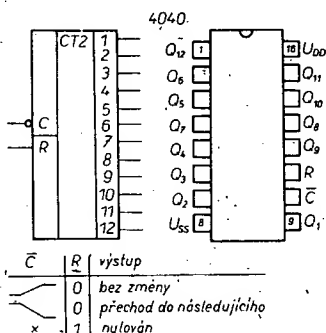


Obr. 163. Zapojení sedmistupňového řetězového čítače 4024

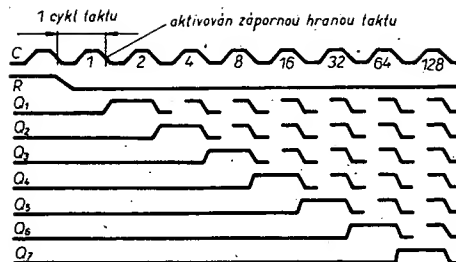
multivibrátorů, které nepotřebují doplňkové blokování a pracují vždy jako čítač vpřed. Takt a jeho komplement je vždy generován každým klopným obvodem a taktem je řízen přenosový člen následujícího klopného obvodu. Každý stupeň čítače dělí dvěma se střídou 50 %.

Sedmistupňový čítač, 4024

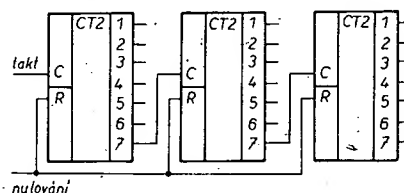
Čítač 4024 je sestaven ze sedmi multivibrátorů, zapojených jako binární řetězový čítač s přenosem a na vstupu má obvody pro tvarování impulsů. Dále je možné nulovat všechny stupně. Na všech vstupech a výstupech jsou oddělovací stupně čímž je dosaženo maximálního odstupu rušivých napětí. Zapojení obvodu 4024 je na obr. 163. Z obr. 164 je



Obr. 166. Zapojení řetězových čítačů 4020 a 4040



Obr. 164. Časový diagram obvodu 4024



Obr. 165. Kaskádní zapojení tří obvodů 4024 s kapacitou čítání 2^{21}

zřejmě, že se obsah čítače zvětšuje při záporné hraně taktu. Při kaskádním řazení lze výstup Q_7 použít jako zdroj taktu pro následující obvod 4024. Na obr. 165 je zapojení tří čítačů 4024 s kapacitou čítání $2^{21} = 2\,097\,152$.

Čítač 12 bitů, 4040 a čítač 14 bitů, 4020

Obvody 4020 a 4040 jsou sestaveny z multivibrátorů zapojených jako řetězový spínač s přenosem, který pracuje staticky, a z obvodů pro tvarování impulsů. Obvody jsou určeny pro děliče kmitočtu a mají společné nulování všech stupňů. Vstupy a výstupy mají oddělovací stupně, takže je dosaženo maximálního odstupu rušivých napětí. Obvod 4020 je 14stupňový řetězový čítač s přenosem a dělicím poměrem $2^{14} = 16\,384$. Obvod má vyvedeny výstupy Q_1, Q_4 až Q_{14} . Obvod 4040 je 12stupňový řetězový čítač s přenosem a dělicím poměrem max. $2^{12} = 4096$ a má vyvedeny všechny výstupy Q_1 až Q_{12} . Zapojení obou obvodů je na obr. 166. Čítače zvětšují svůj obsah při záporné hraně taktu, takže je možné je řadit za sebou stejně jako na obr. 165.

Složité funkce

Aritmetické funkce

Jednoduché sčítáčky

Binární nebo dekadické výpočty mohou být prováděny dvěma způsoby:

- sériově,
- paralelně.

Sériová aritmetika i přes malou rychlost operací je považována za neekonomičtější. Při ní součet nebo rozdíl je, kromě bitu startovacího, který je nejméně platným bitem, přenášen výstupním bitem. Při součtu musí být na počátku vstup přenosu na nule. Výsledek, který vyplývá ze součtu, musí být zapamatován a přičten k následujícím nejvyšším bitům. Sčítačku nazýváme úplnou sčítačkou, když umí přenést dva bity dat a jeden bit výsledku na výstup součtu (SUM), a bit vzniklý při přenosu je nuceně přesunut do následující vyšší „polohy“.

Obvody 4032 a 4038 jsou trojnásobné úplné sčítačky s vestavěným klopným obvodem, v němž je uchovávan bit přenosu vzniklý při součtu. Pro sčítačku platí následující logické rovnice:

$$S = (A \oplus B) \oplus C_{vst.}$$

$$C_{vst.} = A \cdot B + A \cdot C_{vst.} + B \cdot C_{vst.}$$

kde S je výsledný součet,

A a B veličiny určené k součtu,

$C_{vst.}$, $C_{vst.}$ veličiny k přenosu.

Sčítačky mají součtový výstup. Je-li na vstupu invert úroveň „1“, lze obdržet na výstupu SUM komplement součtu, čehož se využívá zejména při odčítání. Binární rozdíl lze běžně provést invertováním menšence a nuceným přesunutím bitu přenosu na nejnižší platné místo. Tak je získán součet a výsledný přenos je zanebán. To si objasníme na příkladu:

		nucený přenos	1
12	1100		1100
-7	0111	invertováno	1000
5		výsledek	0101

Tentýž výsledek dostaneme, invertujeme-li menšitele místo menšence. Pak je běžný součet proveden bez nuceného posuvu bitu na první místo a konečný výsledek je invertován.

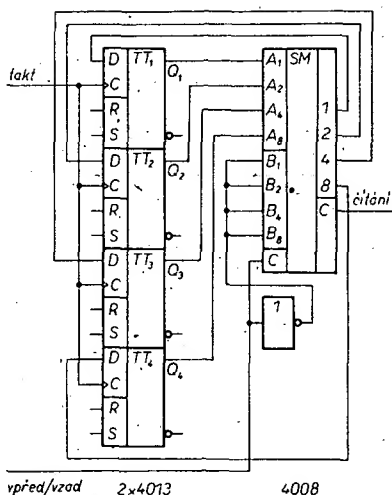
Příklad:

12	1100	invertováno	0011
-7	0111		0111
5			1010
		výsledek po invert.	0101

Sériové sčítačky 4032 a 4038 pracují s takt. Přenos je spouštěn kladnou hranou taktu u obvodu 4032 a zápornou hranou taktu u obvodu 4038. Je výhodné použít stejné hrany taktu k posuvu nových dat na vstup A a B a k přenosu výsledku z výstupu součtu (SUM). Zpoždění obvodu je vyhovující pro provedení spolehlivé operace. Klopný obvod přenosu je nulován na úroveň „0“ po přivedení úrovně „1“ na vstup přenosu při současném přenosu taktu.

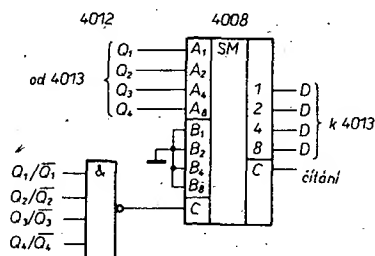
V případě, že potřebujeme provádět operace s větší rychlostí, je nutné použít paralelní sčítačku. Obvod 4008 je čtyřbitová úplná sčítačka s rychlým přenosem na paralelní výstup. Umožňuje zrychlení aritmetických operací, které mohou být provedeny za méně než 150 ns při $U_{DD} = 15$ V.

Vedle běžných a typických operací v aritmetických jednotkách je možné použít sčítačky i pro čítače. Zapojení čítače s paralelní čítačkou je na obr. 167. Zapojení pracuje takto: Číslo mezi 0 až 15 je přičítáno k obsahu klopného obvodu (výstupy Q_1 až Q_4). Výsledný součet je v klopném obvodu zapsán následující kladnou



Obr. 167. Čtyřbitový reverzibilní čítač

hranou taktu. Uvedeným způsobem můžeme snadno sestavit reverzibilní čítač, také však můžeme snadno měnit velikost kroku. Navíc je možné detekovat i jednotlivé stavy výstupů a tak zastavit čítač v libovolné poloze (obr. 168). Z přednastavené polohy lze čítač dostat do požadované polohy číslem, přivedeným na vstup B. Stupně lze řadit do kaskády, ale je nutné počítat se zpožděním vznikajícím při sčítání. Minimální perioda čítání je dána součtem zpoždění ze vstupů taktu na výstupy Q_i , zpožděním ze vstupu na výstup sčítačky a dobou nastavení klopného obvodu, který je použit jako paměť. Jednoduchá sčítačka může mnohdy posloužit jako detektor umístění paměti. Uvedená zapojení mají velkou přizpůsobivost k dalším obvodům. Pro jednoduchý reverzibilní čítač je však lépe použít obvod 4516.

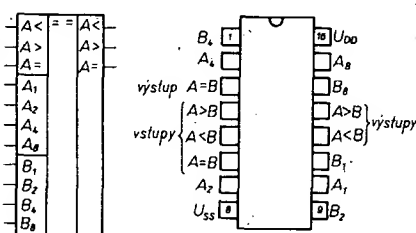


Obr. 168. Obvod pro zastavení reverzibilního čítače z obr. 168

Komparátory

Sčítačky můžeme použít i pro porovnání čísel. Odečítáme-li dvě čísla a budou-li tato čísla stejná, je výsledek nula. Pokud však výsledek není nula, je jedno z nich větší a bude indikováno stavem bitu přenosu.

Pokud požadujeme jenom porovnání dvou čísel, je výhodnější použít kompará-



Obr. 169. Zapojení obvodu 4585

tor 4585 (obr. 169), který porovnává dvě čtyřbitová slova a na výstupu má tyto stavy $A > B$, $A = B$, $A < B$. Obvody 4585 lze řadit do kaskády, pokud chceme porovnávat čísla, která mají více než 4 bity. Porovnání nemusíme použít jen čísla v binárním kódu, nýbrž můžeme porovnávat i čísla v kódu BCD.

Aritmetické logické jednotky a obvody předvídáního přenosu

Aritmetická logická jednotka (ALU) typu 4581 je komplexní a výkonový obvod CMOS, který má následující funkce:

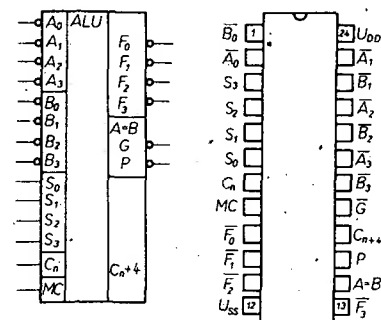
- může provést 16 aritmetických funkcí a 16 funkcí s dvěma Booleovskými proměnnými, z nichž každá má 4 bity;
- funkce jsou dekodovány na jednom čipu;
- provádí úplné statické operace;
- má malou vstupní kapacitu asi 5 pF.

Obvod lze použít v těchto aplikacích:

- jako paralelní aritmetickou jednotku,
- při řízení procesů,
- v dálkovém řízení přenosu dat,
- grafickým obrazovém terminálu,
- v počítači pro řízení letu,
- v digitálních řídicích servosystémech.

Kromě vstupu pro dvě čtyřbitová slova a výstupu čtyřbitové funkce má obvod 4581 vstup a výstup přenosu, výstup porovnání a dva výstupy předvídáního přenosu.

Vstupy pro volbu kódu funkce a vstup řízení úrovně provozu (MC) určují funkci, která má být provedena. Aritmetické operace jsou voleny úrovní „0“ na vstupu MC. Požadovaná funkce je volena binárním kódem na vstupech volby funkce (S_0 až S_3). Má-li obvod odčítat (0110 a $MC = 0$), porovnávají se dvě slova na vstupech A a B; úroveň „0“ na výstupu $A = B$ pak indikuje, že obě slova jsou stejná. Jsou-li slova odlišná, je to indikováno na výstupu C_{n+4} (výstup přenosu). Pravdivostní tabulka na obr. 170 je uvedena jak pro kladnou, tak i zápornou logiku. Je zřejmé, že aritmetická funkce změní vždy vstupní bit přenosu, který je přičten ke druhému komplementu aritmetické funkce, pokud tento existuje. V logickém režimu ($MC = „1“$) stav na vstupu přenosu činnost obvodu neovlivní, takže logická funkce je vypočítána pro každý pár bitů A a B.



Obr. 170. Aritmetická logická jednotka (ALU), 4581

Příklad:

MC	S ₀	S ₁	S ₂	S ₃	\bar{A}	\bar{B}	C _{in}	\bar{F}
0	1	1	1	1	0	0	1	1
0	1	1	1	1	0	0	1	1
1	1	1	1	1	0	0	1	1

x = libovolná úroveň

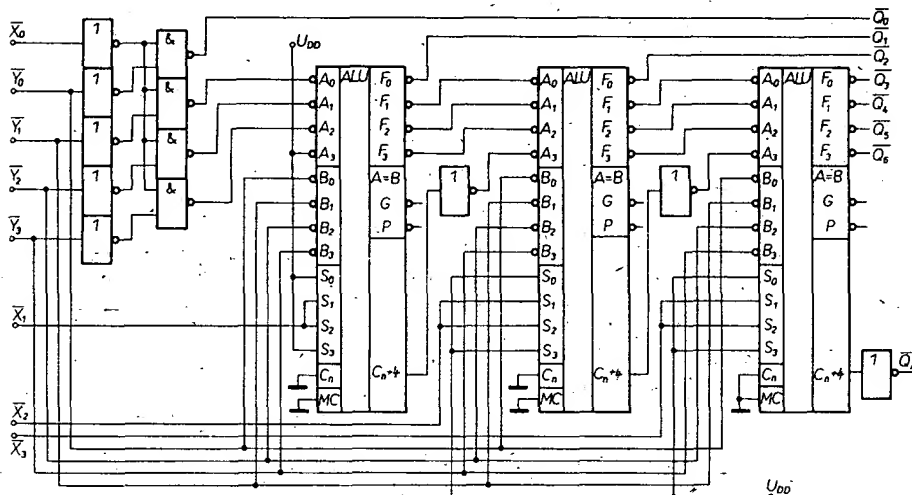
ALU dovoluje realizovat mnoho operací při malém počtu pouzder. Na obr. 171 je zapojení čtyřbitové paralelní násobičky s obvody 4581 (násobením dvou čtyřbitových slov dostaneme slovo osmibitové). Každý obvod 4581 přičte obsah slova Y₀ až Y₃ k předchozímu součtu, pokud je bit X platný. Posuv nejvýše platného součtu je proveden propojením výstupů F₁ až F₃ a výstupu C_{n+4} na vstupy A₀ až A₃ následujícího obvodu. Obvod 4581 má dva doplňkové výstupy – výstup rozšíření přenosu

opakuji na substrátu z křemíku nebo safíru. Všechny funkční prvky a propojovací kanály (řídící elektrody, kolektory a emitory) jsou přístupné pro další propojování. Masky pro vytváření spojů se konstruují podle požadavku zákazníka, protože hradlová pole patří do skupiny zákaznických obvodů.

Každé hradlo je sestaveno ze dvou tranzistorů s kanálem n a dvou s kanálem p. Při posuzování velikosti pole pro danou aplikaci je výhodné si sestavit tabulku

Tab. 5. Příklad logické funkce s použitím hradlového pole

Logická funkce	Počet hradel
Invertor	1
Dvouvstupové hradlo NAND	1
Dvouvstupové hradlo NOR	1
Čtyřvstupové hradlo NAND	2
Čtyřvstupové hradlo NOR	2
$ABC = K, Z = Z$	2
$A + B + C = X, Z = Z$	2
$(A + B) \cdot (C + D) = X$	2
$A + BC = X, Z = Z$	2
$A(B + C) = X, Z = Z$	2
Klopny obvod R-S	2
Klopny obvod R ₁ R ₂ S ₁ S ₂	3
Statický posuvný registr	5
Statický posuvný registr s nastavením „0“	6
Statický posuvný registr s nulováním „1“	6
Statický posuvný registr s R-S = „1“	8



Obr. 171. Čtyřbitová paralelní násobička se 4581

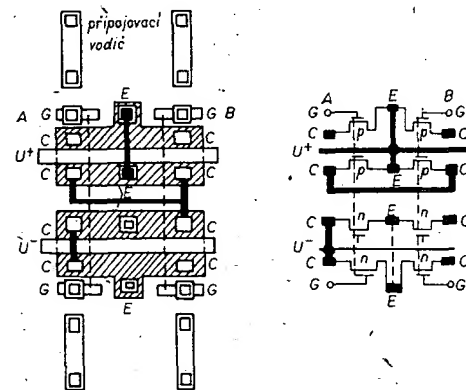
(P) a výstup generování přenosu (G), které umožňují připojit ALU do obvodu předvidaného přenosu při stávajícím přenosu čtyř bitů na obvod. Tyto výstupy spolu s obvodem 4582 slouží jako blok předvidání druhého řádu. Obvod 4582 umožňuje rychlé výpočty se slovy o délce až 16 bitů.

Hradlová pole

Hradlová pole CMOS jsou obvody velké integrace (LSI), u nichž jsou na čipu zhotoveny funkční prvky s kanály n a p a propojovací kanály, které se

(např. tab. 5). Při návrhu se některá hradla i vynechávají, aby se usnadnilo propojování. Hradlová pole jsou vhodná pro větší aplikace. Na jednom čipu bývá až 2000 hradel. Na obr. 172 je plošné uspořádání jedné buňky, z níž lze maskou pro vytváření spojů vytvořit dvouvstupové hradlo NAND, které tvoří dva tranzistory s kanálem n a dva s kanálem p. Sběrnice +U je vedena mezi tranzistory s kanálem p a sběrnice -U mezi tranzistory s kanálem n, takže je dosaženo minimálního odporu mezi emitory. Vývody každého kolektoru a emitoru u každého tranzistoru jsou zdvojeny, čímž je zjednodušen návrh propojení. Řídící elektrody jsou spojová-

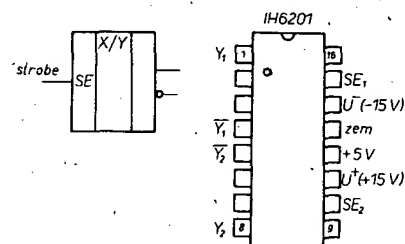
ny do páru, jak je to na obr. 172 vyznačeno čárkovaně, a protože spoje mezi G kříží obě sběrnice +U a -U, mohou být použity jako propojovací kanály. Návrh hradlového pole tedy spočívá jednak na návrhu jednotlivých hradel a jednak na návrhu propojení jednotlivých hradel do požadované funkce. TESLA Piešťany připravuje např. GAC4000 (4 tisíce dvouvstupových hradel NAND nebo NOR).



Obr. 172. Buňka hradlového pole

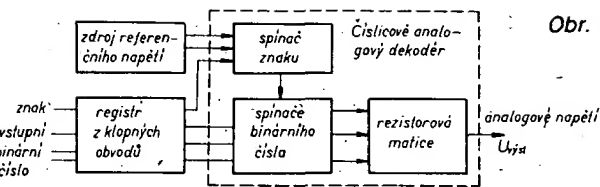
Převodníky úrovní

Na obr. 173 je zapojení jednoho typu převodníku úrovně, který převádí úrovně TTL nebo CMOS na úroveň vyšší (±15 V). Bude-li na řídícím vstupu STROBE úroveň „1“, bude na výstupu Y úroveň U⁺ a na výstupu Y úroveň U⁻; při úrovni „0“ TTL tomu bude obráceně. Signály Y a \bar{Y} jsou fázově posunuty o 180°.



Obr. 173. Převodník úrovně IH6201

Výběr funkce				Vstup/výstup („0“)		Vstup/výstup („1“)	
S ₃	S ₂	S ₁	S ₀	logická funkce (MC = 1)	aritmetická funkce (MC = 0, C _n = 0)	logická funkce (MC = 1)	aritmetická funkce (MC = 0, C _n = 1)
0	0	0	0	\bar{A}	A - 1	\bar{A}	A
0	0	0	1	$\bar{A}\bar{B}$	AB - 1	$\bar{A} + B$	A + B
0	0	1	0	$\bar{A} + B$	AB - 1	AB	A + B
0	0	1	1	logická 1	méně 1	logická 0	méně 1
0	1	0	0	$\bar{A} + \bar{B}$	$A + (A + B)$	$\bar{A}\bar{B}$	$A + \bar{A}\bar{B}$
0	1	0	1	\bar{B}	$AB + (A + \bar{B})$	\bar{B}	$\bar{A}\bar{B} + (A + B)$
0	1	1	0	A + B	A - B - 1	A + B	A - B - 1
0	1	1	1	A + \bar{B}	A + \bar{B}	$\bar{A}\bar{B}$	$\bar{A}\bar{B} - 1$
1	0	0	0	AB	A + (A + B)	$\bar{A} + B$	A + AB
1	0	0	1	A + B	A + B	A + B	A + B
1	0	1	0	B	$\bar{A}\bar{B} + (A + B)$	B	$\bar{A}\bar{B} + (A + \bar{B})$
1	0	1	1	A + B	A + B	AB	AB - 1
1	1	0	0	logická 0	A + A	logická 1	A + A
1	1	0	1	AB	AB + A	A + B	(A + B) + A
1	1	1	0	AB	$\bar{A}\bar{B} + A$	A + B	(A + B) + A
1	1	1	1	A	A	A	A - 1



Obr. 174. Blokové schéma převodníku D/A

Komplementární výstup může být použit jako spínač nebo jako budící výstup pro tranzistory MOSFET s kanály n a p.

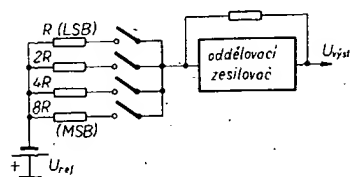
Číselně-analogový převodník

Převod číselných veličin na veličiny analogové je potřebný k tomu, aby výsledky digitálních operací mohly být využity a zpracovány analogovým obvodem. Běžně se pro číselně-analogový (D/A) převod používají dvě zapojení: součtový operační zesilovač s rezistory s odpory, zvětšujícími se o 2^n nebo obvod s několika rezistory a různými odpory.

Na obr. 174 je blokové schéma převodníku ČA, který přijímá třibitové digitální slovo s doplňkovým bitem a převádí ho na ekvivalentní napětí. Základem tohoto převodníku je paměťový registr, stabilizovaný zdroj referenčního napětí a číselně-analogový dekodér, tvořený soustavou přesných rezistorů. V daném příkladě je vstupní digitální slovo zapsáno v registru sestaveném z klopných obvodů. Každý klopný obvod je řízen analogovým spínačem a je připojen na odpovídající vývod rezistorové matice na zdroj referenčního napětí nebo na zem: Má-li daný bit úroveň „1“, matice dělí referenční napětí tak, že na výstupu převodníku D/A bude zvětšující se napětí úměrné ekvivalentní váze toho kterého bitu. Jak již bylo uvedeno, analogový spínač znakového bitu je nutný při kladném a záporném výstupním napětí. Nepožadujeme-li velkou přesnost převodu, je možné řídicí vstupy rezistorové matice připojit přímo na výstupy klopného obvodu registru nebo i na vstupní vodiče digitálního slova.

Většina převodníků D/A používá buď rezistory s binárně se zvětšujícími odpory nebo rezistorové matice R-2R.

Převodníky s rezistory s binárně se zvětšujícími odpory (obráz. 175) jsou tvořeny zdrojem referenčního napětí, souborem

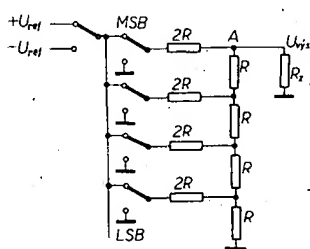


Obr. 175. Princip převodníku s binárně rostoucími odpory rezistorů

rem spínačů, souborem rezistorů s binárně se zvětšujícími odpory a operačním zesilovačem. Každý binární bit vstupního digitálního slova řídí příslušný spínač. Při úrovni bitu „1“ je spínač sepnut a při úrovni „0“ rozpojen. Spínačem se připojuje referenční napětí na příslušný rezistor, který je v sérii s daným spínačem a proud protéká do vstupu OZ. Sečtou-li se proudy ze všech větvi rezistorové matice v OZ, výstupní napětí OZ je úměrné

celkovému proudu a tudíž i vstupnímu digitálnímu signálu.

Nejčastěji však převodníky používají matice R-2R, jsou sestaveny rovněž ze zdroje referenčního napětí, soustavy spínačů a OZ. Místo soustavy rezistorů s binárně rostoucími odpory jsou potřebné dva rezistory na jeden bit. Jeden rezistor je zapojen do série se spínačem a druhý, jehož odpor je polovinou prvního, je zapojen do součtového vedení a to tak, že toto spojení spolu s následujícími stupni tvoří článek II (obráz. 176). Na obr. 176 je



Obr. 176. Jednoduchý dekodér s obvodem typu R-2R

základní zapojení čtyřbitového převodníku D/A s rezistorovou maticí typu R-2R. Spínače se jeví jako analogové v tom smyslu, že přepínají stejnosměrné referenční napětí, které musí být velmi přesné. Teoreticky musí mít spínače nulový odpor v sepnutém stavu a nekonečný odpor v rozpojeném stavu. Výstupní odpor obvodu je konstantní a nezávislý na poloze spínačů. V daném případě odpovídá zátěž nezpůsobuje nelineární chyby. Pro objasnění předpokládáme, že spínače jsou v polohách podle obr. 176 a zanedbáme odpor zátěže R_z . Sériově zapojený rezistor bitu s nejvyšší platností (MSB) je zatížen ekvivalentním odporem zapojeným v bodě A oproti zemi. Tento ekvivalentní odpor snadno určíme z odporů paralelních a sériových rezistorů, počínaje u bitu s nejnižší platností (LSB) – je roven $2R$. V tomto případě bude výstupní napětí v bodě A naprázdno rovno $U_{ref}/2$ a výstupní odpor převodníku D/A je roven R , takže výstupní napětí na zatěžovacím

odporu pak bude $\frac{U_{ref}}{2} \left(\frac{R_z}{R_z + R} \right)$. Každý spínač tedy vnáší do výstupního napětí určité „rozvážení“, které se projeví v celkovém výstupním napětí.

Obvod R-2R je výrobně jednoduchý, neboť se v něm používají jen dva typy rezistorů, R a $2R$, na jejichž přesném odporu nezáleží, podstatný je pouze jejich přesný poměr. Přesnost poměru odporů je nutná zejména u rezistorů v oblasti MSB (pro LSB není tak kritická). Poměr odporů rezistorů musí být zachován v celém rozsahu pracovních teplot. Odpory $2R$ lze s výhodou získat sériovým spojením dvou rezistorů o odporu R . I když se tím zvětšuje počet použitých rezistorů, je usnadněn jejich výběr z hlediska odporu a teplotního činitele. Obvod na obr. 176 je rychlý, praktický a spolehlivý, lze ho snadno přizpůsobit monolitickým i hybridním obvodům.

Převodník s rezistory s binárně se zvětšujícími odpory je sice jednoduchý a výkonný, lze jej však použít pro převodníky s malým nebo středním počtem bitů (do 10), vzhledem k praktické realizaci rezistorové matice, neboť potřebuje pro každý vstupní bit rezistor jiného odporu. Kdybychom chtěli např. zkonstruovat na tomto principu 12bitový převodník, pak při použití rezistoru 10 kΩ pro MSB by rezistor pro LSB musel mít odpor $2^{12} \cdot 10^4 = 4096 \text{ M}\Omega$.

Se zvětšujícím se počtem bitů se stávají omezujícími činiteli rychlost sepnutí tranzistorů spínače a výstupní napětí OZ.

Skutečné převodníky, zapojené podle obr. 176, mají při provozu tytéž nedostatky, které se projevují v menší či větší míře u většiny převodníků D/A. Kromě chyb, způsobených nepřesností odporů rezistorů a jejich nevhodným teplotním činitelem, způsobují parazitní kapacity zpoždění výstupního signálu, zejména při velkých odporech rezistorů. Při malých odporech rezistorů naopak dochází k úbytku napětí na polovodičových spínačích, což způsobí rovněž chybu. Protože proudy tekoucí spínači jsou různé, je velmi těžké zajistit rovnoměrnost úbytků napětí a to i proto, že úbytek napětí na spínačích se rychle zmenšuje směrem k LSB. U přesných převodníků se ještě uplatňují parazitní indukčnosti, vzájemné vazby, svody a šum. Doba sepnutí určuje zpoždění a tím i rychlost převodníku. Spínají-li při změně vstupních slov spínače ideálně, pak se doba převodu zvětšuje s počtem bitů. I ustálení přechodových jevů na výstupu musí být zahrnuto v údaj, určujícím přesnost převodu; velmi přesné převodníky mají dlouhou dobu ustálení.

Uvažujme n -bitový převodník podle obr. 176 a u něho pouze výstupní odpor R a parazitní kapacitu C na výstupu. Přivedeme-li na vstup digitální signál odpovídající plnému rozsahu na výstupu, pak se výstupní signál zvětšuje exponenciálně, jak je zřejmé z levé části obr. 177.

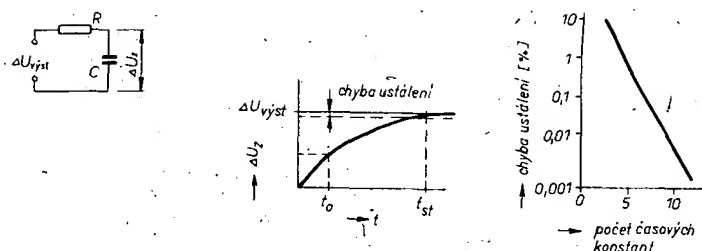
Má-li být výstupní signál nastaven s přesností $1/2 \text{ LSB}$, pak přípustná chyba

E v % je $\frac{1}{2^{n+1}} \cdot 100$, takže pro 12bitový

převodník je $E = 100/2^{13} = 0,0122 \%$. V pravé části obr. 177 je diagram závislosti přípustné chyby ustálení v % na počtu časových konstant; pro 12 bitů je třeba devět časových konstant. Např. je-li $R = 2 \text{ k}\Omega$ a $C = 250 \text{ pF}$, pak $RC = 2 \cdot 10^3 \cdot 250 \cdot 10^{-11} = 0,5 \mu\text{s}$ a doba ustálení bude $4,5 \mu\text{s}$. Pro 10bitový převodník potřebujeme 7,7 časových konstant, tj. doba ustálení $3,85 \mu\text{s}$. Abychom mohli stanovit počet časových konstant, připustíme, že $E = 100e^{-u} = 100/2^{n+1}$ a vypočítáme u : $e^u = 2^{n+1}$, $u = (n+1) \ln 2 = 0,69(n+1)$. Počet časových konstant u je tedy přibližně úměrný počtu bitů.

V praxi jsou však procesy ustálení složitější. Na výstup je obvykle připojen operační zesilovač, který je navržen tak, aby měl maximální zisk pro požadovanou šířku pásma a v důsledku toho odezvou na skok vstupního napětí je prudká změna napětí doprovázená tlumenými kmity. To je nutno vzít v úvahu při určování časové konstanty. Je možné dokázat, že při P zesilovačích zapojených za sebou je ekvivalentní doba ustálení rovná \sqrt{P} krát doba ustálení jednoho zesilovače.

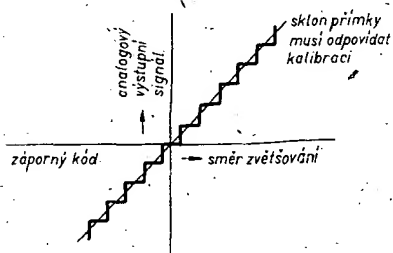
Změny referenčních napětí se bezprostředně přenášejí do chyb na výstupu. Částečně se ve výstupním napětí projeví i teplotní součinitel stabilizátoru referenčního napětí. V některých případech je požadováno, aby se měnilo referenční napětí tak, aby výstupní signál byl závislý na číselném vstupním signálu i na změně referenčního napětí. Převodníky, urč-



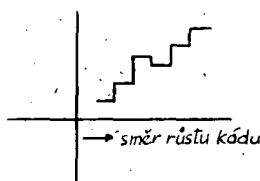
Obr. 177. Výstupní signál převodníku z obr. 176

né pro práci s proměnnými referenčními signály se nazývají násobící převodníky D/A; bipolární převodníky mohou zpracovávat střídavý proud a mívají velkou přesnost, protože chyby zdrojů referenčního napětí se neuplatní v celkové chybě.

Lineárta převodníků D/A je závislá na přesnosti převodu digitálního vstupního signálu na výstupním napětí. Na obr. 178 je ideální charakteristika; v obrázku ne-



Obr. 178. Idealizovaná výstupní charakteristika převodníku D/A



Obr. 179. Chyba monotónnosti výstupního napětí převodníku D/A

jsou zachyceny skokové změny na vstupu a jím odpovídající změny na výstupu, které je schopen zpracovat ideální převodník.

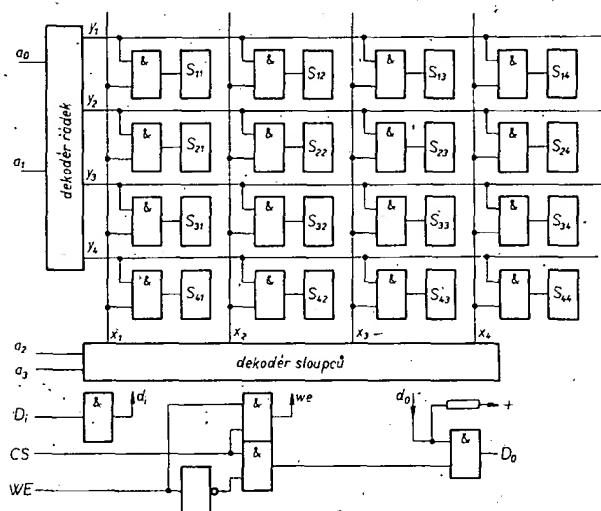
Poměrná váha jednotlivých složek odchylky je závislá na použití a tyto odchylky od linearity by měly být minimální. Někteří výrobci uvádějí tabulky těchto odchylek a způsoby jejich odstranění.

Při nesprávných odporech rezistorů matice se může změnit monotónnost signálu, např. podle obr. 179, čím se zvětšuje chyba převodu.

Obvod na obr. 176 je velmi zjednodušen pro praktickou aplikaci. Abychom mohli sestavit fungující převodník, potřebujeme k tomu převodník kódů, registry, stabilizované zdroje referenčního napětí, zdroje napájení, odporové trimry, multiplexery a jiné další součástky.

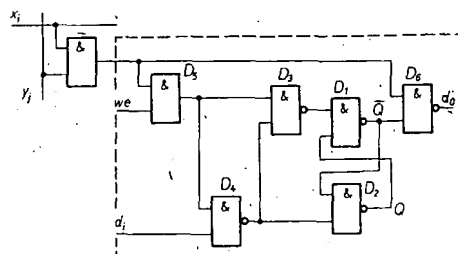
Paměti RAM

Paměť RAM je obvod, do něhož lze zapsat nebo z něhož lze číst informace na určité adrese (s libovolným přístupem). Z technologického hlediska nejsou jednotlivé paměťové buňky připojeny na jeden vodič, nýbrž jsou organizovány do čtvercové matice (obr. 180). Při volbě dané buňky paměti se na příslušné vodičové řádce a sloupci přivádí úroveň „1“. Proto je nutné danou adresu $A = a_0$ až a_n dekodovat vhodnými dekodéry sloupců a řádek. K tomu je použito jednoduchých dekodérů „jedna z $2^{(n+2)/2}$ “. Kromě vstupů adresy RAM má jeden vstup dat, DI, výstup dat, DO, vstup pro uvolnění zápisu WE (write enable) a vstup pro výběr obvodu CS (chip select), někdy též označovaný jako vstup uvolnění obvodu CE (chip enable). Tento vstup slouží pro organizování multiplexního provozu několika obvodů RAM, připojených na společnou sběrnici dat. Je-li CS = „0“, pak výstup dat DO má velkou impedanci a nemá vliv na přenos po sběrnici dat. Nejvhodnějšími prvky pro získání tohoto stavu na výstupu DO jsou hradla s otevřeným kolektorem anebo třístavová hradla. Při zápisu (WE = „1“) přechází výstupní obvod rovněž do stavu velké impedance pomocí odpovídající logické vazby. Tím je umožněno spojení vývodů DI a DO, čímž je umožněn přenos dat v obou směrech (zápis-čtení) po jednom vodiči (obousměrná sběrnice dat). Zápisu při CS = „0“ je zabráněno přidáním ještě jednoho logického prvku. Na obr. 180 jsou znázorněny všechny logické vazby.



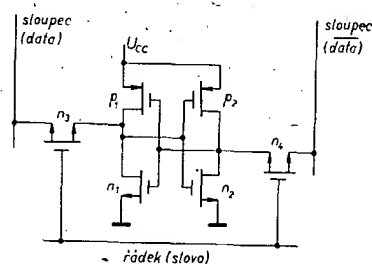
Obr. 180. Organizace paměti RAM

Způsob připojení buňky paměti na vnitřní vodiče d_1, d_0 a WE je na obr. 181. Informace do buňky paměti se zapisuje pouze tehdy, bude-li buňka vybrána adresou a WE = „1“. Tato logická vazba je provedena hradlem D_5 . Obsah buňky se dostane na výstup jen tehdy, bude-li na sloupci a řádce pro výběr adresy úroveň „1“, $x_1 = „1“$, $y_1 = „1“$. Tuto vazbu zajišťuje hradlo D_6 , které má výstup s otevřeným kolektorem. Výstupy všech buněk jsou spolu propojeny a na výstup DO jsou vedeny přes třístavové hradlo.



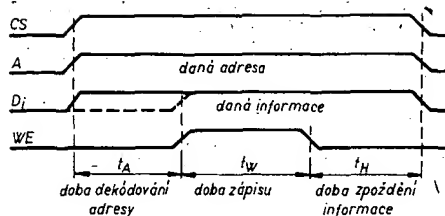
Obr. 181. Připojení buňky na vodiče D_6, D_0 a WE

Proto, aby v daném obvodu bylo možno umístit maximální počet buněk, musí být buňky co nejjednodušší. U paměti CMOS je to šest tranzistorů MOSFET, zapojených podle obr. 182. Tranzistory p_1, n_1, p_2, n_2 tvoří dva inventory, které jsou připojovány na sloupce přes n_3, n_4 , řízení z dekodéru řádek. V nejjednodušším případě je možné klopný obvod v buňce nahradit jedním kondenzátorem. Pak mluvíme o dynamické paměťové buňce (nebo o dynamické paměti), v které se informace uchovává jen poměrně krátkou dobu, po které je ji nutno obnovit (refresh). Pro tento účel je nutné každé 2 ms aktivovat všechny sloupce. Nevýhodou paměti RAM je jejich závislost na napájecím napětí, po jehož odpojení se informace ztrácí.

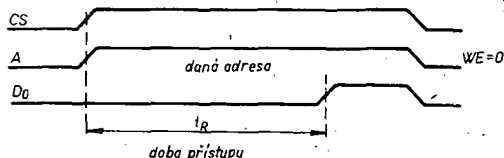


Obr. 182. Buňka paměti RAM

Aby byla zabezpečena správná činnost paměti RAM, je nutné dodržet časové závislosti mezi vstupními signály (obr. 183). Abychom zabránili zápisu do nesprávné buňky, impuls uvolnění zápisu (WE) musí následovat za adresou A v době, která se nazývá dobou dekodování adresy t_A (address setup time). Proto aby byl zabezpečen zápis do příslušné buňky, doba impulsu zápisu musí být minimálně t_w (data wrote time). V případě značného počtu obvodů RAM je nutné informaci na vstupu uchránit po dobu t_H (data hold time) po ukončení impulsu zápisu. Součet těchto dob se nazývá délkou cyklu zápisu (write cycle time).



Obr. 183. Časový diagram při zápisu



Obr. 184. Časový diagram při čtení

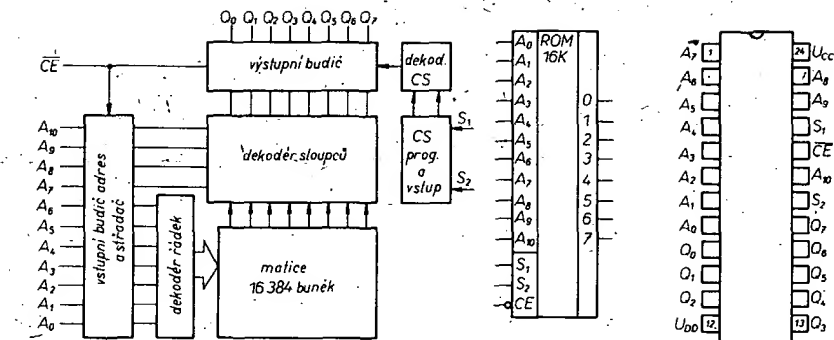
Časový diagram pro čtení je na obr. 184. Po nastavení adresy se požadovaná informace objeví na výstupu po době t_R (read access time), nazývané dobou přístupu.

První statickou paměť CMOS vyráběnou v n. p. TESLA je obvod MHB1902 s kapacitou 1024×1 bit, která je slučitelná s obvody TTL. MHB1902 pracuje při $U_{CC} = 5V$ a pro uchování informace (data retention) postačí napětí 2,5 V. Paměťová matice má organizaci 64 řádků po 16 buňkách. Informace se čtou, popř. zapisují přes zesilovače sloupců. Dekodéry řádek a sloupců jsou řízeny z registrů adres, přičemž adresy řádků (A_0 až A_5) do registru adres řádků a adresy sloupců (A_6 až A_9) do registru adres sloupců jsou zapsány řídicím signálem, odvozeným ze záporné hrany signálu CE. Adresa musí být ustálena před změnami signálu CE z úrovně H na L a během trvání impulsu zápisu do adresovacích registrů (t_A a t_H).

Obvod vstup-výstup je v bloku sloupcových zesilovačů. Signál pro řízení dekodérů adres, sloupcových zesilovačů a obvodu vstup-výstup je odvozen ze signálu CE v bloku časování. Režim zápisu a čtení je řízen signálem R/W. Vstup dat DI a výstup dat DO jsou navzájem oddělené, přičemž výstup dat je po dobu zápisu neaktivní. Paměti MHB1902 umožňují vytvořit paměťové systémy s malým příkonem, u nichž lze zálohovacími bateriemi uchovat informaci během výpadku sítě.

Paměť ROM

Paměť ROM je pevně naprogramovaná paměť s danou kapacitou. Program je dán zákazníkem. Jako příklad paměti ROM si uvedeme paměť 16 kbitů typu IM6316, organizovanou jako paměť s 2048 slovy po 8 bitech, která je vyrobena technologií CMOS s křemíkovou řídicí elektrodou. V klidovém stavu má tato paměť velmi malý příkon. Vstupy a třístavový výstup jsou kompatibilní s obvody TTL a paměť může tedy být připojena na společnou sběrnici. Řízení registrů adres a maskou programovatelný výběr čipu (CS) zjednodušují podmínky vzájemného propojování. Sestupnou hranou signálu uvolnění (E) střadačů adres se otevře registr a výše povel připraven. Adresy a volba čipu, které byly blokovány, musí být aktivovány



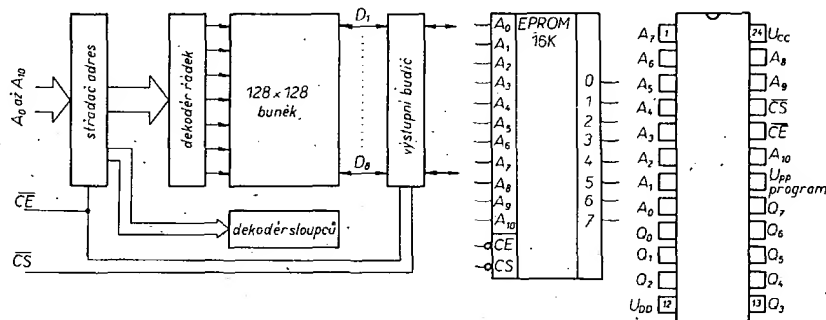
Obr. 185. Blokové schéma paměti ROM typu IM6316

v době přípravy paměti (TAVEL) před čtením a doba pro čtení (TELAX) musí následovat po sestupné hraně signálu E. Data budou platná až po uplynutí doby přístupu (po 450 ns). Daný blokovaný výstup je aktivován po aktivaci S_1 a S_2 (nebo po zablokování S_1 a S_2). Při neblokovaném vstupu musí být $E = L$. Volba střadače (S_1 , S_2) je závislá na úrovni. Když $E = H$, zablokované S_1 a S_2 se chovají jako neblokované. Na obr. 185 je blokové schéma obvodu IM6316 fy Intersil.

Paměť EPROM

Paměť EPROM je elektricky programovatelná paměť ROM. U této paměti lze ultrafialovým zářením nebo jiným způsobem vymazat stávající program a elektricky naprogramovat program nový. Jako příklad paměti EPROM si uvedme paměť IM6716 fy Intersil (obr. 186), která má

stupy Q budou aktivní při úrovni L. Výstupy Q přejdou do stavu velké impedance během doby odpojení výstupů (TEHQZ) po každé náběžné hraně E nebo S. Signál uvolnění čipu E musí být delší než minimální šířka kladného impulsu (TEHEL), pokud má daný cyklus proběhnout. Během cyklu připraven je vývod PROGRAM „o něco kladnější“ než U_{CC} . Na počátku je všech 16384 bitů paměti EPROM ve stejném logickém stavu (výstup je na úrovni H). Daný bit se selektivně programuje elektrickým zápisem úrovně „0“. Úrovně „0“ a „1“ jsou součástí programového slova. Při programování musí být programovací adresy poloh zablokovány, stejně jako při provozu připraven. Během programovacího cyklu je $S = H$. Daná data jsou jako vstupní přivedena na vodiče Q po dobu přípravy dat (TDVPH), kdy PROGRAM pulsuje k U_{prog} . Impulzy PROGRAM mohou být využity k indikaci zápisu. Data přicházejí a zůstávají na přívodu



Obr. 186. Paměť EPROM IM6716

kapacitu 2048 slov po 8 bitech. Protože je to paměť CMOS, má v klidovém stavu velmi malý příkon. Vstupy a třístavové výstupy jsou kompatibilní s obvody TTL a mohou být připojeny přímo na soustavu sběrnic. Připojení je řízeno přes registr adres a vstup volba čipu. Tato paměť je výhodná tam, kde často měníme program. Po skončení vývoje ji lze nahradit pamětí IM6316. Při typickém provozu „připraven“ (READY) jsou vodiče adres blokovány sestupnou hranou signálu uvolnění čipu E. Platná data se objeví na výstupu po uplynutí doby přístupu (TELQV) a to jen tehdy, když $S = L$. Data budou platná do té doby, pokud E nebo S nebudou na úrovni H, kdy výstup přechází do stavu s velkou impedancí. Vstupy budou platné, pokud doba přípravy (TAVEL) bude před sestupnou hranou E a doba obsazení (TELAX) po sestupné hraně E, kterou je startován cyklus připraven. Před tím vy-

dech Q po dobu zapamatování (TPLDX), pokud PROGRAM není převeden na úroveň H. Po době TPLDX jsou data z vodičů Q vymazána a vodiče Q přejdou do stavu potvrzení cyklu, připraven.

Mikroprocesory a mikropočítače

Mikroprocesory a mikropočítače CMOS se v současné době začínají rozšiřovat vzhledem k malému příkonu a malému ztrátovému výkonu. Firma National Semiconductor vyvinula mikroprocesor řady NSC800, který je softwarově kompatibilní s 8080/Z80 a jeho architektura vychází z typu 8085. Výsledkem je série obvodů, které mají klíčové vlastnosti všech běžných typů a které jsou minimálně funkčně kompatibilní a mají shodnou výkonnost s procesory NMOS, pokud jejich výkonnost není větší.

CPU NSC800 je, pokud se týká vývodů, kompatibilní s 8085 až na dvě výjimky: sériový vstup a výstup, který je u obvodu 8085. Tyto dva vývody jsou mimo obvod 8080 i u obvodu Z80-CPU_U obvodu NSC800 je tzv. vstup pro řízení příkonu PS, kterým se zmenšuje ztrátový výkon až o 50 %, a výstup obnovení RFSH, kterým se aktivuje možnost 8bitového obnovení (refresh) obsahu paměti RAM. Jeden znak signálu není shodný s 8085, nýbrž se Z80. Polarita signálů DMA-acknowledge, DMA-request a interrupt request je obrácená než u 8080 a 8085 a je shodná s polaritou Z80, takže je možná vazba signálů OR. Rovněž je odlišný sled vývodů u NSC800, takže všechny vývody dat a adres jsou na jedné straně a řídicí signály na druhé straně pouzdra, čímž se zjednodušuje návrh desky s plošnými spoji.

Při srovnání se Z80 jsou zřejmě tyto rozdíly (kromě multiplexního provozu mezi spodními vodiči adres a sběrnici dat): M1 je nahrazeno stavovými signály S_0 a S_1 od obvodu 8085, které dodávají dodatečné stavové informace o systému; signály MREQ a IORQ jsou nahrazeny IO/M a chybí výstup STOP. Pokud bychom ho nepotřebovali, lze ho odvodit ze signálů S_0 a S_1 u obvodu NSC800. Oproti Z80 s jedním vstupem taktu jsou u NSO800 dva vstupy taktu, takže je možné řídit vnitřní časovací vysíláč. Multiplexní struktura sběrnici 8085, s výkonou strukturou přerušení, je kombinovaná s vlastnostmi Z80-CPU, takže u NSC800 jsou spojeny výhodné vlastnosti obou.

Vnitřní blokové zapojení NSC800 je na obr. 187. Na první pohled nás může udivit shodnost architektury s architekturou Z80-CPU. Avšak při podrobnější prohlídce zjistíme změny a z toho vyplývající rozdíly v 8bitovém výstupu obnovení a struktuře přerušení (tab. 6). Rozdíly v architektuře mezi 8085 a NSC800 jsou

Tab. 6. Porovnání adres pro nový start přerušení

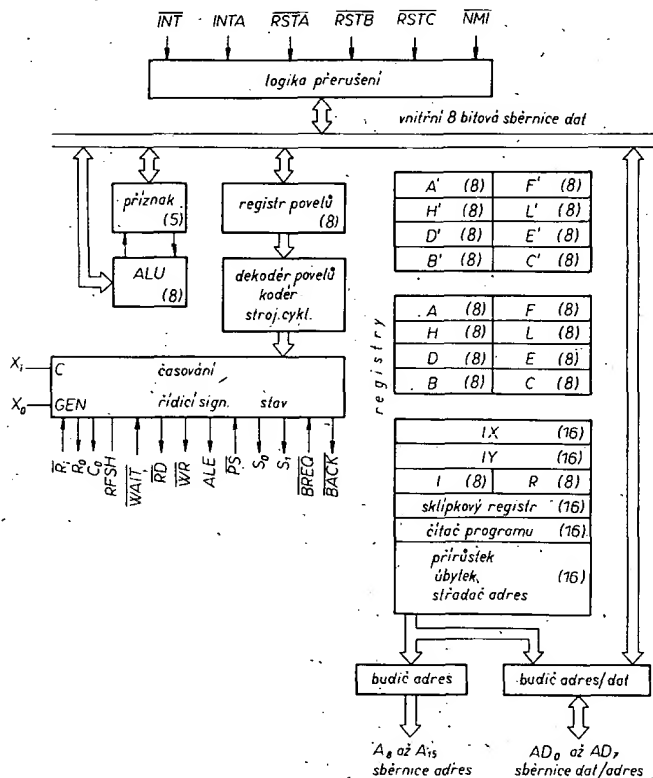
Způsob přerušení			Adresa nového startu		
NSC800	8085	Z80	NSC800	8085	Z80
NMI	TRAP	NMI	0066	0024	0066
RSTA	RST7.5	-	003C	003C	-
RSTB	RST6.5	-	0034	0034	-
RSTC	RST5.5	-	002C	002C	-
INTR	INTR	INT	0038	(2)	0038

podstatně větší, protože Z80-CPU má více vnitřních registrů (dva indexové, dvojité pracovní, čítač obnovení) než 8085. Tyto registry má i NSC800.

Sada povelů 8085 je shodná se sadou povelů 8080/Z80 až na dva povel, ovládající sériový vstup/výstup, takže NSC800 má mnoho shodných vlastností s 8085. Kompatibilitu struktury přerušení s 8085 je dosaženo vnitřním registrem řízení přerušení, který nastavuje výstupní bránu na adresu vstup/výstup 00BB. Přerušení bude aktivováno nebo zrušeno zapsáním této adresy, kterou můžeme použít také k zápisu, neboť registr řízení přerušení nereaguje na povel čtení. Vnitřní časový diagram NSC800 je podobný s diagramem 8085, avšak je více závislý na signálu ALE než na taktu. Zlepšení oproti 8085 spočívá v tom, že výstupní data jsou platná jak při náběžné, tak i sestupné hraně signálu zápis (WR). Další výhodou je to, že během cyklu zápis/čtení je automaticky zaujmut stav „čekají“. U NSC800 jsou závislosti mezi taktem a vnitřními signály oproti 8085 invertovány:

Několikafunkční-jednotka

Obvod NSC810 je jednotka sestavená z paměti RAM, tří programem řízených bran vstup/výstup a dvou časovacích obvodů/čítačů s předděličem. Funkčně je velmi podobná obvodu 8155, od kterého



se liší 128bytovou pamětí RAM s maximální dobou přístupu 250 ns. Pokud potřebujeme paměť 256 bytů s dobou přístupu 400 ns, dva 16bitové časovače/čítače s předděliči, tak lze jedním obvodem vytvořit 14bitový časovací obvod. Obvod NSC810 má napájecí napětí 3 až 12 V a při napájecím napětí 5 V je maximální kmitočet taktu 4 MHz a ztrátový výkon 25 mW. Tři brány vstup/výstup mohou být stejné jako u obvodu 8155 programovány bity. Avšak je možné jen jednu z nich řídit strobovaným signálem závislým na signálu příjem/vysílání, který může mít tři varianty: příjem, aktivní vysílání a trístavové vysílání. Vnitřní architekturou se obvod 8155 liší od obvodu NSC810, který má samostatný registr pro každou bránu, jehož obsah určuje směr přenosu. Operace nazývaný multimode-port (brána A) je řízena speciálním registrem, označeným jako jednotka časovač/čítač. Daný způsob individuálního programování registru (tab. 8) dovoluje, že se nemusíme starat o stav celého rozsahu příjem vysílání, když se mění jednotlivé brány.

Tab. 7. Časovací obvod a adresy příjem/
/vysílání u NSC810

Adresa					Funkce
A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	0	0	zápis/čtení přes bránu A
0	0	0	0	1	zápis/čtení přes bránu A
0	0	0	1	0	zápis/čtení přes bránu C
0	0	1	0	0	zápis ODR A
0	0	1	0	1	zápis ODR B
0	0	1	1	0	zápis ODR C
0	0	1	1	1	zápis způsobu regulace provozu
0	1	0	0	0	bit mazání brány A
0	1	0	0	1	bit mazání brány B
0	1	0	1	0	bit mazání brány C
0	1	1	0	0	bit nastavení brány A
0	1	1	0	1	bit nastavení brány B
0	1	1	1	0	bit nastavení brány C
1	0	0	0	0	zápis/čtení T ₀ LSB
1	0	0	0	1	zápis/čtení T ₀ MSB
1	0	0	1	0	zápis/čtení T ₁ LSB
1	0	0	1	1	zápis/čtení T ₁ MSB
1	0	1	0	0	STOP T ₀
1	0	1	0	1	START T ₀
1	0	1	1	0	STOP T ₁
1	0	1	1	1	START T ₁
1	1	0	0	0	zápis/čtení příkazu T ₀
1	1	0	0	1	zápis/čtení příkazu T ₁

. Paměť ROM s vodiči příjem/vysílání

Obvod NSC830 je dalším vývojovým stupněm známého obvodu 8355. U NSC830 byly zaměněny vývody, aby bylo možno realizovat doplňkové funkce. Maximální doba přístupu do paměti ROM $2K \times 8$ bitů je 250 ns a registr příjem/vysílání umožňuje vypustit signál „přípraven“ a tím i vývod CLK/ready. Protože funkce IQR je kombinovaná se dvěma maskou programovanými vstupy uvolnění čipu a jsou využity i vývody, které jsou u obvodu 8355 nevyužity, pro 4bitovou bránu příjem/vysílání. Brány obvodu NSC830 jsou programovány stejným způsobem jako u NSC810 (tab. 8). Rovněž jsou u obou obvodů shodné různé způsoby provozu brány A a adresování registrů. Možnost vícenásobného provozu, doplňková brána a maskou programovatelný vstup uvolnění čipu umožňují propojit několik obvodů do systému bez použití dekodéru pro výběr čipu, což u obvodu 8355 nebylo možné.

Tab. 8. Registr a adresy příjem/vysílání u NSC830

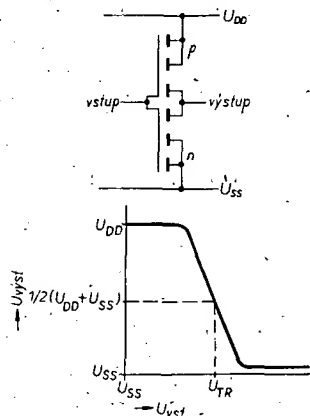
Adresy				Funkce
A ₃	A ₂	A ₁	A ₀	
0	0	0	0	zápis/čtení brány A
0	0	0	1	zápis/čtení brány B
0	0	1	0	zápis/čtení brány C
0	1	0	0	zápis ODR A
0	1	0	1	zápis ODR B
0	1	1	0	zápis ODR C
0	1	1	1	zápis způsobu regulace provozu
1	0	0	0	bit mazání brány A
1	0	0	1	bit mazání brány B
1	0	1	0	bit mazání brány C
1	1	0	0	bit nastavení brány A
1	1	0	1	bit nastavení brány B
1	1	1	0	bit nastavení brány C

Základní analogové obvody

Logické obvody CMOS mají primární oblast aplikace v oblasti zpracování digitálních signálů, lze je však použít i pro zpracování signálů analogových. Je mnoho analogových obvodů, které lze realizovat lineárními integrovanými obvody. Velmi často je třeba zpracovávat analogové signály v systémech, v nichž se používají jen digitální obvody CMOS. Je třeba upozornit, že v přehledu katalogových údajů digitálních prvků nejsou údaje, vztahující se k analogovému použití. Proto je nutné před aplikací např. hradel CMOS určit „typické hodnoty“ parametrů pro lineární režim. Hradla, popisovaná v této kapitole, jsou hradla dvouvstupová NAND (4011), NOR (4001) a invertory (4007), jejichž potřebné parametry byly změřeny. Hradla byla použita v analogových obvodech, které mohou být často využity v digitálních přístrojích. Mezi ně patří analogové multiplexery, přenosové členy používané jako spínače, které bývají řízeny digitálně a další obvody, které si krátce popíšeme v následujících státech.

Invertor CMOS zapojený jako zesilovač

Základním prvkem řady obvodů CMOS je invertor. Invertor je v podstatě pár komplementárních tranzistorů MOSFET, zapojený mezi přívody napájecího napětí. Řídící elektrody MOSFET jsou spolu přímo propojeny a tvoří vstup invertoru, zatímco výstup je vyveden ze spoje emitor-kolektor páru, jak je zřejmé z obr. 188.



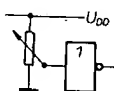
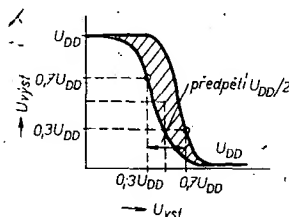
Obr. 188. Zapojení invertoru a přenosová charakteristika

Ustálený stav napěťových přenosových charakteristik invertoru je dán vlastnostmi komplementárního páru MOSFET. U logických obvodů je požadováno, aby každá změna na vstupu vyvolala změnu na výstupu mezi U_{DD} a U_{SS} (ve zbývajících částech této kapitoly budeme uvažovat, že $U_{SS} = 0$ V a U_{DD} je kladné napájecí napětí). Při přepínání potřebuje invertor CMOS ke změně výstupního stavu minimální dobu.

Sklon přenosové charakteristiky v oblasti přenosu (kolem $U_{DD}/2$) musí být proto co nejstrmější. Při analogové aplikaci je invertor záměrně nastaven předpětím do oblasti přenosu a sklon přenosové charakteristiky v bodě předpětí udává zesílení invertoru pro malé střídavé signály. Je ovšem nutno zdůraznit, že (vychází-li se ze specifikace hradla CMOS použitého jako digitální obvod) přenosové napětí U_{TR} má velkou toleranci ($U_{DD}/2 \pm 40\%$). Sklon přenosové charakteristiky je v přehledných datech specifikován dvěma extrémními údaji, danými prahy omezení. Na závěr této části je nutné poznamenat, že pro analogové aplikace je vždy nezbytné navrhovat pracovní podmínky podle použitých hradel.

Obvod pro předpětí

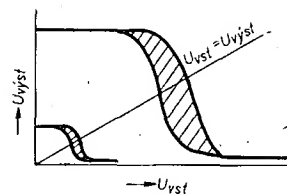
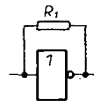
Teoreticky lze bod pro předpětí volit podle požadavků na vlastnosti zesilovače. Avšak v praxi, vzhledem k velkému rozptylu napěťových přenosových charakteristik, které se mohou lišit invertor od invertoru, předpětí pro dané zesílení můžeme získat volbou a nastavením obvodů pro každé hradlo zvlášť (obr. 189). Z praktického hlediska je však tento způsob získá-



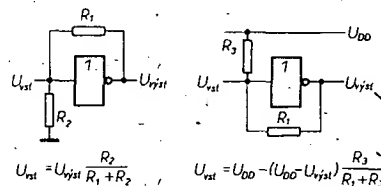
Obr. 189. Nastavení pracovního bodu invertoru

ni předpětí nežádoucí vzhledem k velkým tolerancím pasivních součástek. Zapojení obvodu pro předpětí, který je nejčastěji používán, protože kromě jiného neodebírá žádný proud z napájecího zdroje, je na obr. 190 a zahrnuje v sobě zpětnou vazbu z výstupu na vstup rezistorem R_1 s velkým odporem (např. 50 M Ω).

Invertor je napájen z bodu, kde ss zatěžovací charakteristika protíná skutečnou napěťovou přenosovou charakteristiku a kde $U_{vst} = U_{vyst}$. Tímto jednoduchým způsobem je stabilizován pracovní bod, protože $U_{vst} = U_{vyst} = (U_{DD}/2 \pm 40\%)$. Tohoto poznatku je využito pro určování podmínek pro zesilovač střídavého signálu. Spojením obvodu z obr. 189 a obr. 190 vznikne obvod na obr. 191, který velmi účinně mění sklon ss zatěžovací přímky změnou odporu rezistoru R_1 . Tímto způsobem je možné každý invertor „předepnout“ přesně na $U_{DD}/2$, nebo do kterékoliv jiné části přenosové charakteristiky.



Obr. 190. Nastavení předpětí rezistorem R_1



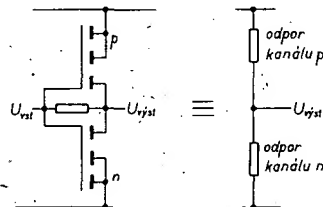
Obr. 191. Obvody pro nastavení předpětí

Stabilita pracovního bodu

Použijeme-li stabilizované předpětí, je nutné měřením stanovit stabilitu pracovního bodu při změně napájecího napětí a změně teploty. Zásadně platí, že malá změna napájecího napětí dU_{DD} vyvolá maximální změnu výstupního napětí dU_{vyst} : $dU_{vyst} = dU_{DD}/2$. Bude-li mít invertor předpětí, pak $U_{vyst} = U_{DD}/2$.

Ve srovnání s operačním zesilovačem, který má minimální SMR 70 dB při změně napájecího napětí, je obvyklé SMR = 6 dB u hradel CMOS značně malé. To však nemusí být na závadu zejména u logických obvodů, takže pro napájení obvodů CMOS je možné použít stabilizátor napětí s malým činitelem stabilizace.

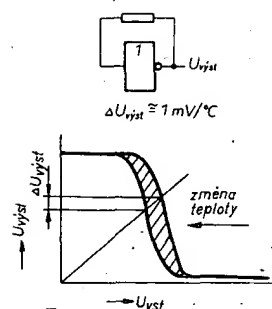
Protože je invertor sestaven z tranzistorů MOSFET s kanálem n a kanálem p, je změna výstupního napětí s teplotou závislá na změně odporu jednotlivých tranzistorů. Odpor kanálu je závislý na přípojném napětí a na fyzikálních rozměrech tranzistoru. Měření ukázala, že teplotní součinitel odporu kanálu je asi 0,3 % na °C v širokém rozsahu pracovních podmínek. Z ekvivalentního zapojení na obr. 192 je zřejmé, že diferenciální teplotní souči-



Obr. 192. Náhradní obvod invertoru

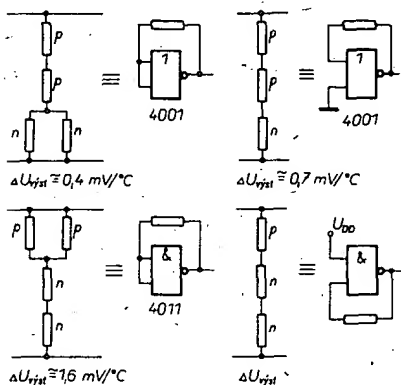
nitel MOSFET s kanálem n a p určuje stabilitu pracovního bodu jednoduchého invertoru.

Měření přenosu na výstupu invertoru 4007 s jedním odporem ve zpětné vazbě se ukázalo, že stabilita obvodu je nezávislá na okamžitém napájecím napětí a závisí pouze na změně teploty (obr. 193). Teplotní závislost se projeví jako zkreslení pře-



Obr. 193. Stabilita invertoru

nosových charakteristik, kdy dochází k posuvu křivek vlevo. Pokud nebudeme uvažovat jen jednoduchý invertor, potom má na stabilitu výstupního napětí vliv vnější předpětí, např. u hradel NAND (4011) nebo OR (4001). Vezmeme-li to v úvahu, pak je možné sestavit náhradní obvody podle obr. 194. Změna ΔU_{vyst} je typická a platí v praxi pro $U_{DD} = 10$ V.



Obr. 194. Náhradní obvody invertoru

Požadavky na napájecí zdroj

Rozsah napájecích napětí, používaných u logických hradel zapojených jako zesilovače, musí být poněkud jiný, než rozsah používaných v digitálních aplikacích: V digitálních obvodech je dolní mezní napětí určeno prahovým napětím jednotlivých tranzistorů MOSFET. Obvody CMOS mají minimální napájecí napětí 3 V.

Analogové obvody vyžadují, aby dolní mez napájecího napětí byla vyšší než součet prahových napětí tranzistorů s kanálem n a p u invertoru CMOS. V analogových aplikacích musí být toto napětí větší než 4 V, aby obvod pracoval, neboť musíme vzít v úvahu, že v analogové aplikaci vedou oba MOSFET současně.

V digitálních aplikacích je horní mezní napětí dáno průrazným napětím přechodu (max. 18 V). Při analogové aplikaci může být toto napětí rovněž 18 V, ale používá se menší, neboť kolektorový proud obvodu je až 10 mA a při návrhu je nutno vzít v úvahu i maximální ztrátový výkon IO. U invertoru, u něhož vedou oba tranzistory současně, je maximálního ztrátového výkonu dosaženo téměř vždy při napětí menším než 18 V. Protože odpor kanálu závisí na napájecím napětí a kolektorový proud je závislý na předpětí, je nevhodné používat maximálního napájecího napětí obvodů CMOS při aplikacích v analogových obvodech. Každá aplikace vyžaduje samostatný rozbor, abychom zjistili, že nebude při změnách

napájecího napětí překročen kolektorový proud.

Linearita přenosu

V úvodních kapitolách jsme probírali přenosové charakteristiky zesílení a fáze logických hradel v závislosti na napětí, ovšem bez ohledu na linearitu. Lineární obvody nemívají dobrou linearitu při otevřené smyčce zpětné vazby, avšak bez zpětné vazby jsou tyto obvody málokdy provozovány vzhledem k jejich velkému zesílení. Proto je možné přenos linearizovat obvodem zpětné vazby. U hradel CMOS je málo pravděpodobné, že by zesílení bylo větší než 100 (u jednoduchého invertoru), a proto je nutné sledovat linearitu přenosu základních obvodů.

Když platí, že $U_{vst} = U_{vyst}$, je pracovní bod nastaven do oblasti největšího zesílení a linearitu pro zesilování malých signálů. Vyneseme-li charakteristiky MOSFET s kanálem n a p, vidíme, že nejsou stejné, což je způsobeno rozdílnou pohyblivostí elektronů ($470 \text{ cm}^2 \text{ na Vs}$) a děr ($180 \text{ až } 200 \text{ cm}^2 \text{ na Vs}$). Zvolí-li se vhodný poměr délky k šířce kanálu, lze obdržet pro kanál n i p stejné hodnoty. To je potřebné k tomu, aby přenesené napětí bylo přesně $U_{DD}/2$ a tak bylo dosaženo přesných komplementárních charakteristik (předpokládáme, že všechny ostatní činitele jsou stejné). Nebude-li tato podmínka splněna (což je málo pravděpodobné vzhledem k tolerancím napěťových přenosových charakteristik o $\pm 40\%$), pak oblast maximálního zesílení kolem $U_{DD}/2$ musí být nelineární. V některých případech, kdy jsou hradla doplněna tranzistory v sérioparalelním zapojení, se linearita zlepšuje, avšak nebude nikdy postačující.

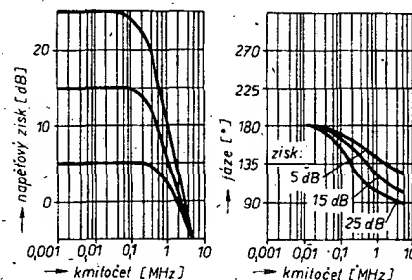
Dále si uvedeme typické případy nelineárního zkreslení pro tři různá hradla, která mají nastaveno předpětí – stejně jako invertor – rezistorem (obr. 192 a obr. 194) pro vstupní mezivrcholové napětí 5 mV při 10 kHz (tabulka nahoře).

Invertor		Harmonická (v [dB] oproti celku)						
$U_{vyst} = U_{vst}$	U_{DD} [V]	2.	3.	4.	5.	6.	7.	8.
4007	5	28	33	41	47	55	60	67
	10	28	35	46	52	62	68	74
	15	28	37	48	58	64	70	–
4011 (2 vstupy)	5	28	35	44	52	60	66	73
	10	28	38	48	58	68	72	–
	15	26	38	52	62	–	–	–
4001 (2 vstupy)	5	30	15	36	24	43	33	48
	10	30	14	36	22	42	30	46
	15	30	15	36	25	44	35	48

Je zajímavé, že zkreslení je závislé na předpětí. Zkreslení se může zvětšit, není-li U_{vyst} rovno U_{vst} , ale hradlo je nastaveno předpětím buď do oblasti n nebo p. Dole je uveden příklad pro $U_{DD} = 10$ V.

Napěťové charakteristiky pro zesílení a fázi

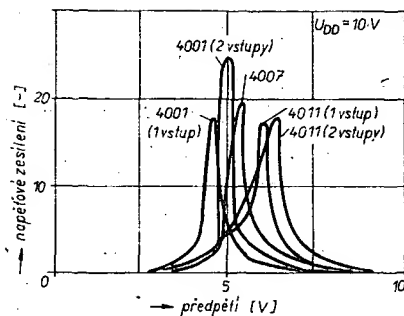
Vzhledem k velkému zkreslení, které vzniká v invertorech CMOS (20 % je běžná velikost), je přesné měření napěťového zesílení a fáze nemožné. Na obr. 195 jsou typické charakteristiky zisku a fáze pro malé signály. Rozdílné úrovně napěťového zisku dostaneme změnou předpětí v bodě, kde $U_{vyst} = U_{vst}$ při $U_{DD} = 10$ V. Charakteristiky byly měřeny při vstupním mezivrcholovém napětí $U_1 = 5$ mV na kmitočtu 10 kHz.



Obr. 195. Kmitočtová a fázová charakteristika invertoru

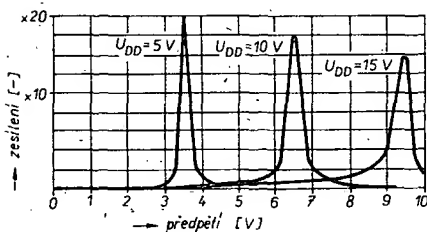
V některých systémech nás zajímají typy hradel z hlediska přesných charakteristik zesílení. Na obr. 196 jsou uvedeny závislosti mezi zesílením a pracovním bodem pro různé typy hradel. Tyto závislosti jsou velmi užitečné pro výběr vhodných obvodů, i když je nutno připomenout, že tolerance jsou někdy takové, že mohou způsobit změny průběhu křivek. Pokud využíváme v zesilovači volných

Invertor	Předpětí [V]	Zisk [dB]	Harmonická ([dB] oproti celku)			
			2	3	4	5
$U_{DD} = 10$ V	2,9	26	28	36	46	55
	2,5	20	27	38	51	62
	1,1	0	–	–	–	–
4011 (2 vstupy)	5,1	26	27	17	38	32
	7,3	20	49	27	50	55
	9,2	0	48	–	–	–
4001 (2 vstupy)	6,2	26	25	35	46	54
	6,8	20	26	40	54	66
	9,5	0	–	–	–	–



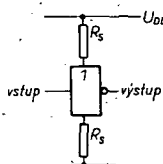
Obr. 196. Závislost zisku na pracovním bodu

hadel, pak je možné použít společný napájecí zdroj. Na obr. 197 je závislost napěťového zesílení na předpětí při různém napájecím napětí. Někdy není možné měnit napájecí napětí, pak je výhodné



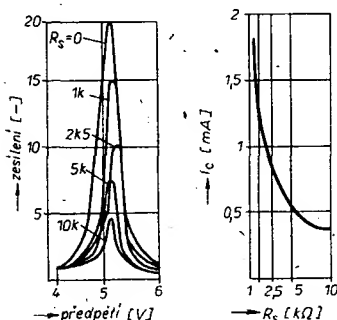
Obr. 197. Závislost zisku na napájecím napětí u 4011

mezi invertor a napájecí zdroj zapojit rezistory (obr. 198), které zmenší kolektorové proudy na únosnou míru. Napěťové zesílení se pak značně mění v závislosti na



Obr. 198. Invertor s malým příkonem

odporu rezistoru (obr. 199). Změny zesílení jsou závislé na změnách teploty, které mohou způsobit změnu pracovního bodu. Proto je nutné hodnotit stabilitu zisku z hlediska teploty pro každý obvod.



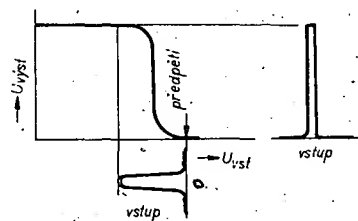
Obr. 199. Obvod 4007 s různými R_S při $U_{DD} = 10 \text{ V}$

Praktická zapojení zesilovačů

Použití zesilovačů s hradly CMOS je vhodné tam, kde se stýkají digitální a analogové části systému, tedy v místech, kde je třeba zesílit a invertovat impulsy.

Stejnoseměrný zesilovač

V některých systémech jsou propojena analogová napětí a digitální obvody. Výstupní napětí analogového obvodu může být nastaveno na požadované předpětí pro invertor-zesilovač. Předností tohoto zapojení je to, že vzhledem k velké vstupní impedanci nepotřebuje další vnější rezistor. Často lze s výhodou využít nelinearity charakteristiky obvodu CMOS, neboť je možné posunout předpětí pro invertor mimo střed charakteristiky komprimovaným signálem s úrovní „0“ (např. šumu) během zesilování impulsu s velkou amplitudou (obr. 200).



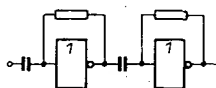
Obr. 200. Zesílení signálu s velkou amplitudou

Zesilovač střídavého signálu

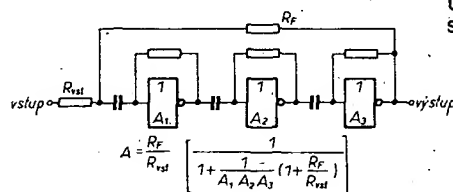
Běžný zesilovač střídavého signálu můžeme zkonstruovat přidáním vazebního kondenzátoru na vstup. Dolní mezní kmitočet je dán kapacitou vazebního kondenzátoru a vstupním odporem. Horní mezní kmitočet je dán mezním kmitočtem invertoru, zatěžovací kapacitou a zatěžovacím odporem.

Kaskádní řazení invertorů CMOS

Pro větší zesílení potřebujeme větší počet kaskádně zapojených invertorů. Výstupní napětí každého invertoru má širokou tolerance (40 %), proto je přímá vazba dvou invertorů nevhodná – druhý stupeň nemůže získat předpětí z výstupu prvního stupně. Předpokládáme, že napěťový drift výstupního napětí jednoho invertoru, který je zesílen druhým invertorem je $1 \text{ mV}/^\circ\text{C}$ a že přenosová charakteristika se mění s teplotou. Vazba kondenzátorem na obr. 201 odstraňuje potíže



Obr. 201. Dvoustupňový střídavě vázaný zesilovač



Obr. 202. Zpětná vazba přes více stupňů

vyplývající z vazby stejnosměrné. Protože každý invertor otáčí fází o 180° , je možné dosáhnout stabilizace zesílení a zlepšení linearity zavedením zpětné vazby přes několik stupňů. Na obr. 202 je zesílení určeno volbou vhodných rezistorů a kondenzátorů. Tak je zajištěno, že třístupňový zesilovač AC nebude náchylný k oscilacím.

Šum v invertorech CMOS

Šumové spektrum, které vzniká v tranzistorech MOSFET, je podstatně odlišné od spektra šumu, vznikajícího v bipolárních tranzistorech. Obecně lze tvrdit, že na nízkých kmitočtech (pod 1 kHz) dobrý bipolární tranzistor má menší šum než MOSFET, kdežto na vyšších kmitočtech je tomu obráceně.

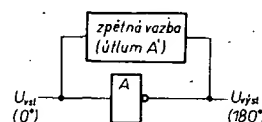
Funkce několikastupňového zesilovače může být omezena šumovým výstupním napětím jednoho ze stupňů. Proto je nevyhnutelná mezi stupni kapacitní vazba, čímž vznikne pouze „širokopásmový“ šum (1 kHz až 100 kHz). V praxi se může amplituda šumu u různých IO lišit, avšak velmi málo se mění s napájecím napětím a kolektorovým proudem. Fyzikálním zdrojem šumu invertoru CMOS je povrchový šum kanálu. Velikost výstupního „širokopásmového“ šumu je typicky $400 \mu\text{V}$ pro invertor se zesílením 100, takže vstupní šum bude $4 \mu\text{V}$, což je běžná velikost u zesilovačů. Je-li zesilovač třístupňový, pak zesílení jednoho stupně musí být menší než 100 (při $U_{DD} = 10 \text{ V}$), aby nedošlo k saturování posledního stupně šumem. Z toho vyplývá, že není vhodné za sebou zapojovat více než tři stupně, pokud nechceme podstatně zmenšovat zesílení jednotlivých stupňů. Protože se zesílení mění s napájecím napětím, je problém saturace šumem velmi aktuální zejména při malých napájecích napětích.

Oscilátory s invertory CMOS

Protože invertory CMOS mají velmi nelineární charakteristiku a relativně malé zesílení, nejsou vhodné pro sinusové oscilátory. Obecně lze tvrdit, že oscilátory s logickými obvody jsou vhodné především jako zdroje taktovacích impulsů, u nichž tvar impulsu není kritickou veličinou. Nejjednodušším zdrojem taktu je astabilní multivibrátor. Pokud je požadováno přesné časování, je velmi výhodné použít zesilovač s invertorem CMOS, který má kmitočtově závislou zpětnou vazbu a jeden rezistor pro předpětí.

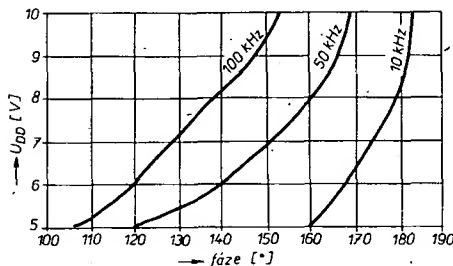
Oscilátor s kmitočtově závislou zpětnou vazbou

Z kteréhokoli zesilovače CMOS s napěťovým zesílením A a fázovým posuvem 180° můžeme vytvořit oscilátor, doplníme-li zesilovač obvodem vhodné zpětné vazby s útlumem A' (obr. 203). K oscilacím dojde, když zesílení A bude větší než útlum A' obvodu zpětné vazby a fáze ve smyčce bude 360° . To je nutné uvažovat



Obr. 203. Základní zpětná vazba oscilátoru

při návrhu daného oscilačního obvodu. Obvody zpětné vazby používané u sinusových oscilátorů mohou být použity i u oscilátorů s obvody CMOS. Amplituda oscilací je určena rozkmitem výstupního napětí zesilovače CMOS. Stabilita kmitočtu je závislá na stabilitě fázového posuvu obvodu zpětné vazby a na fázové charakteristice invertoru. Fázová charakteristika invertoru, měřená pro proměnná napájecí napětí U_{DD} , je na obr. 204. Protože zesilo-

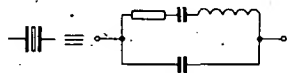


Obr. 204. Fázové charakteristiky invertoru

vače CMOS pracují s předpětím a odebírají ze zdroje velký proud, je výhodné použít obvod zpětné vazby s malým útlumem a' . Tak se dostává výstup invertoru do jedné z obou logických úrovní a tím se zmenšuje příkon oscilátoru. Obvod zpětné vazby pro oscilátor s velkou stabilitou, malým příkonem a definovanými hranami impulsu musí mít malé ztráty a strmou kmitočtově fázovou charakteristiku.

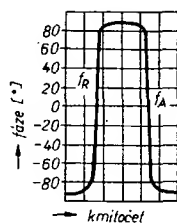
Krystalový oscilátor

Velmi často se v obvodu zpětné vazby používá piezoelektrický krystalový výbrus, jehož náhradní zapojení je na obr. 205 a kmitočtově fázová charakteristika

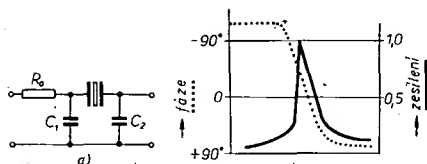


Obr. 205. Náhradní zapojení krystalu

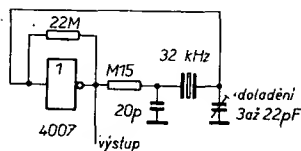
na obr. 206. Dvě vertikální části této křivky představují rezonanční (f_R) a antirezonanční (f_A) kmitočet krystalu. Obvod zpětné vazby s krystalem pracuje v sériové rezonanci a má malý útlum. Obvod je



Obr. 206. Fázová a kmitočtová charakteristika krystalu



Obr. 207. Článek II s krystalem pro zpětnou vazbu oscilátoru

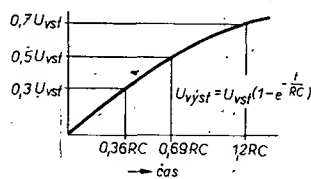
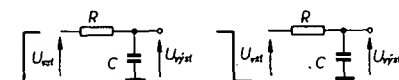


Obr. 208. Zapojení krystalového oscilátoru

doplněn krystalem na článek II podle obr. 207a a tvar přenosové charakteristiky obvodu s krystalem je na obr. 207b. Optimální hodnoty R_1 , C_1 a C_2 v obvodu zpětné vazby invertoru CMOS jsou závislé na vlastnostech krystalu. Typické zapojení krystalového oscilátoru je na obr. 208. Kmitočet výstupního signálu lze přesně nastavit kapacitním trimrem.

Astabilní multivibrátor

Kmitočtově závislá zpětná vazba oscilátoru, popsaná v předchozí části, vychází z předpokladu fázového posuvu 360° a uzavřené smyčky, a proto mluvíme o fázově řízeném oscilátoru. Multivibrátory jsou založeny na době nabití a vybití kondenzátoru v obvodu RC, a proto astabilní multivibrátor označujeme jako časově řízený oscilátor. Základní obvod RC, který nás zajímá, je na obr. 209. Princip

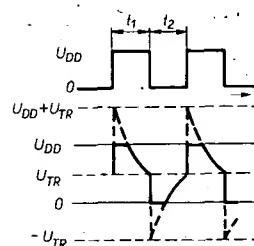
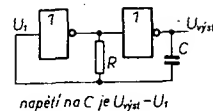


Obr. 209. Obvod RC pro astabilní multivibrátor

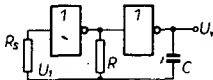
multivibrátoru spočívá na detekci napětí kondenzátoru, který svou kapacitou, spolu s odporem a napájecím napětím určuje dobu kmitu. Při dosažení požadovaného napětí na kondenzátoru se přepíná zdroj a znovu se startuje cykl. Pro multivibrátor můžeme použít obvody CMOS, spínací napětí je pak určeno vlastnostmi těchto obvodů. Když se přenesené napětí zvětší nad práh přepnutí, dojde ke změně na výstupu. Změna doby odpovídající přenesení napětí u invertoru je na obr. 209. Výstupní impulsy jsou určeny dobou nabití-vybití (t_1 a t_2) kondenzátoru. Za předpokladu, že přenosové napětí je $U_{DD} : 2$ ($\pm 40\%$), pak podle obr. 209 bude doba vybití $t_1 = t_2 = 1,1RC$ ($+20\%$, -34%),

takže při střídě 50 % bude perioda rovna $2,2RC$ ($+20\%$, -34%). Teoretický tvar výstupního kmitu je na obr. 210, v praxi se poněkud liší vzhledem k ochrannému obvodu na vstupu invertoru (chrání vstup před nadměrným napětím). Ochranný obvod bohužel ovlivňuje kmitočet a střidu. Jeho vliv lze omezit obvodem podle obr. 211, kde je do vstupu prvního invertoru zapojen doplňkový rezistor, omezující napětí U_1 na obr. 210.

Odpor R_s by měl být desetkrát větší než R , IO pak může být snadno vyměněn, aniž by se podstatně změnil kmitočet. Kmitočet lze korigovat změnou R , střidu lze



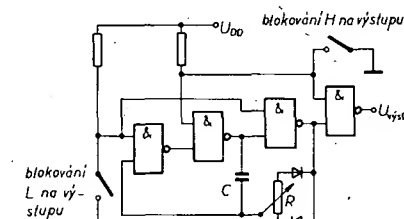
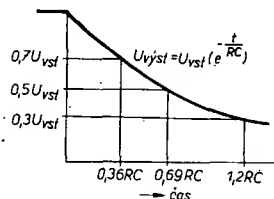
Obr. 210. Tvar výstupního impulsu astabilního multivibrátoru



Obr. 211. Obvod pro omezení vlivu ochranného obvodu

změnit pouze změnou kapacity kondenzátoru.

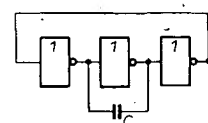
Obvod, který dovoluje nastavit jak kmitočet, tak i střidu a má výstupní úroveň „0“ nebo „1“ s hradlem 4011, je na obr. 212. Kmitočet se dá měnit změnou odporu potenciometru R , střidu lze nastavit polohou běžce potenciometru. Horní mezní kmitočet je dán zpožděním hradla, dolní



Obr. 212. Nastavitelný astabilní multivibrátor

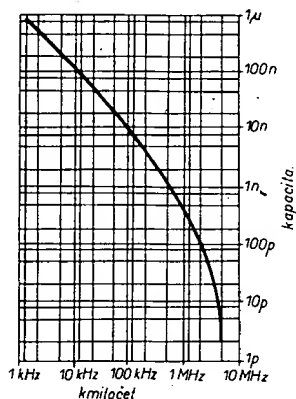
mezní kmitočet je určen součástkami článku RC. Změnou R a C lze měnit kmitočet od 1 MHz do 1 μ Hz a střidu od jedné do 10%.

Nepožadujeme-li nastavení kmitočtu a střidy, lze multivibrátor zapojit podle obr. 213. Kondenzátor je nabíjen přes



Obr. 213. Kruhový oscilátor

MOSFET s kanálem p nebo n. Střídá a kmitočet lze i zde změnit odporem kanálu. Nevýhodou tohoto obvodu je, že je značně závislý na teplotě a napájecím napětí. Závislost kmitočtu na teplotě může být stanovena, protože odpor kanálu má známý teplotní činitel (změna kmitočtu bude 0,3 % na °C). Vliv změny napájecího napětí můžeme rovněž určit z charakteristik kanálu p a n, takže tuto závislost lze zcela vyloučit návrhem obvodu. Dostatečným poznatkem je, že pro $U_{DD} = 5$ až 15 V se kmitočet mění o 10 až 20 % při změně U_{DD} o 1 V. Na obr. 214 jsou



Obr. 214. Kapacity kondenzátoru C z obr. 213

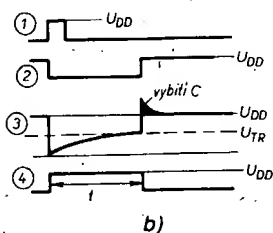
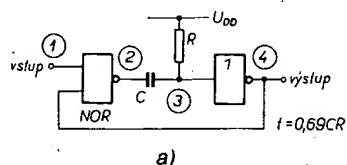
kapacity kondenzátoru pro dané kmitočty oscilátoru s 4011 (2 aktivní vstupy) a pro napájecí napětí $U_{DD} = 10$ V. Pro oscilátory můžeme použít zesilovače s invertory, avšak bez obvodu pro předpětí.

Monostabilní multivibrátory

Monostabilní multivibrátory jsou založeny na nabíjení a vybíjení obvodu RC. Při překlopení se mění úroveň na výstupu a trvá po dobu, určenou časovou konstantou RC.

Monostabilní multivibrátor s hradlem

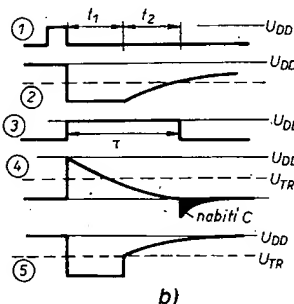
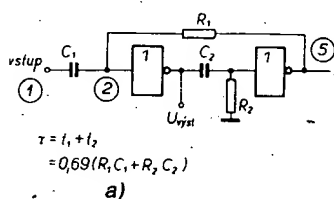
Základní zapojení monostabilního multivibrátoru s hradlem NOR a invertorem je na obr. 215. V počátečním ustáleném stavu (vstup na úrovni „0“) je kondenzá-



Obr. 215. Monostabilní multivibrátor

tor zcela vybit. Přivede-li se na vstup kladný impuls, výstup změní svou úroveň a kondenzátor se začne nabíjet. Na výstupu bude „1“, dokud napětí na výstupu invertoru nedosáhne $U_{DD}/2$, pak se výstup vrací na úroveň „0“ po časové konstantě $0,69RC$. Činnost je zřejmá z časového diagramu.

Stejně jako u astabilního multivibrátoru způsobí jakákoli změna přenosového napětí na invertoru ($U_{DD} : 2 \pm 40$ %, daná parametry obvodu) změnu zpoždění ($0,69RC - 47$ %, $+60$ %). Značného zlepšení lze dosáhnout zapojením podle obr. 216 se dvěma invertory. Když $R_1C_1 = R_2C_2$, bude délka výstupního impulsu $1,4RC$ a přesnost bude závislá na rozdílu prahových napětí obou invertorů. Měřením menšího počtu obvodů 4011 z různých výrobních sérií se ukázalo, že se přenos u všech hradel mění o ± 20 % oproti předpokládaným ± 40 %, a že rozdíly mezi hradly na stejném čipu je ± 2 %. To jsou zřejmě typické výrobní tolerance, takže obvod na obr. 216 při použití invertorů na

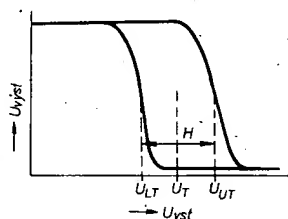


Obr. 216. Kompenzovaný monostabilní multivibrátor

jednom čipu dovoluje získat impuls s přesností asi ± 3 %.

Schmittův klopný obvod

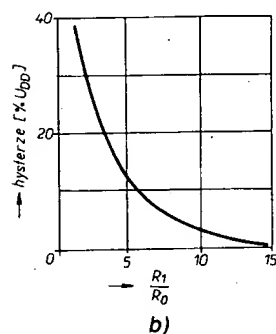
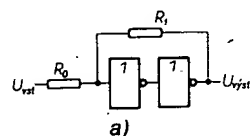
Schmittův klopný obvod tvoří přechod mezi obvody analogovými a digitálními. Jeho prvotní funkcí je převádět pomalu se měnící analogové napětí (někdy i šum) skokem na odpovídající logické úrovně. Obvod je navržen s hysteresí mezi horní a dolní hranicí prahového napětí, jak je zřejmé z obr. 217, hranice jsou obvykle definovány dvěma spínacími napětími U_{UT} a U_{LT} , ale někdy i napětím U_T a hysteresí H . Běžný Schmittův klopný obvod je analogový zesilovač s kladnou zpětnou vazbou.



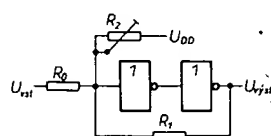
Obr. 217. Přenosová charakteristika Schmittova klopného obvodu

Zesilovač CMOS s kladnou zpětnou vazbou

K získání kladné zpětné vazby je nutné zapojit za sebou dva invertory, výstup druhého a vstup prvního invertoru jsou spojeny. Jak je zřejmé z obr. 218, hystereze je závislá na poměru R_1 a R_0 . Spínací napětí U_T je při nulové hysterezi dáno přenosovou charakteristikou prvního invertoru. Napětí U_T může být dodatečně



Obr. 218. Invertory s kladnou zpětnou vazbou

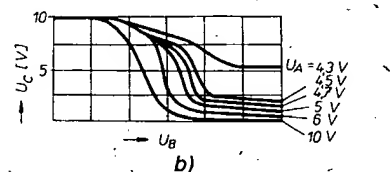
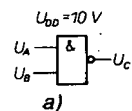


Obr. 219. Nastavitelný Schmittův klopný obvod

nastaveno trimrem R_2 . Připojíme-li na vstup buď kladné napětí (pro $U_T > 0,5U_{DD}$) nebo „zem“ (pro $U_U < 0,5U_{DD}$), pak se příslušně posouvá přenosová charakteristika.

Dvouvstupová hradla jako Schmittův klopný obvod

Protože zde probíraný Schmittův klopný obvod používá logická hradla, na jejichž vstupech nejsou přesné úrovně „1“ nebo „0“, ukážeme si činnost hradla za těchto podmínek. Na obr. 220 jsou pře-

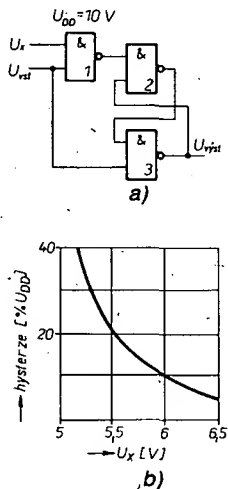


Obr. 220. Změny přenosových charakteristik při změně vstupního napětí

nosové charakteristiky obvodu 4011 (hradlo NAND), mění-li se na jednom vstupu napětí z jedné logické úrovně na druhou. I když se křivky budou u různých kusů obvodů téhož typu lišit, jsou velmi málo závislé na teplotě. Schmittův klopný

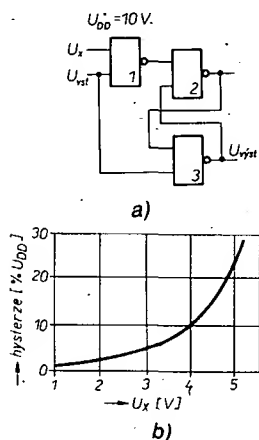
obvod s těmito hradly bude stabilní a jeho činnost bude jen nepatrně závislá na změnách teploty.

Schmittovy klopné obvody lze sestavit i s jednoduchým klopným obvodem R-S. Přivedením různých vstupních napětí na modifikovaný klopný obvod R-S, sestavený z hradel, lze měnit stav klopného obvodu při dvou různých napětích. Pro úroveň překlápění větší než $0,5U_{DD}$ můžeme hradla NAND zapojit podle obr. 221.



Obr. 221. Klopný obvod z hradel NAND

Menší U_{LT} je dáno prahovým napětím hradla 3, kdežto větší U_{UT} prahovým napětím hradla 1 a může být měněno změnou U_x . Pro překlápění při úrovních pod $0,5U_{DD}$ použijeme zapojení podle obr. 222, kde

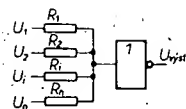


Obr. 222. Klopný obvod z hradel NOR

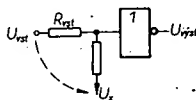
U_{UT} je dáno prahovým napětím hradla NAND 3 a U_{LT} hradla NAND 1 a může být změněno pomocí U_x .

Dvojitý Schmittův klopný obvod, 4583

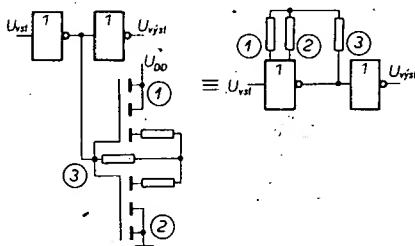
Jedním ze základních zapojení, s kterým se často setkáváme, je invertor s několika vstupy podle obr. 223. I když vstup je definován napětím U_i a odporem R_i (za předpokladu velké vstupní impedance invertoru), je potřebné určit napětí na vstupu invertoru. Předpokládáme, že na jeden vstup je přiváděn proměnný signál, pak lze odporem na vývodu AND/OR a změnou vstupního napětí měnit přenosové charakteristiky. Pokud má invertor



Obr. 223. Invertor s několika vstupy



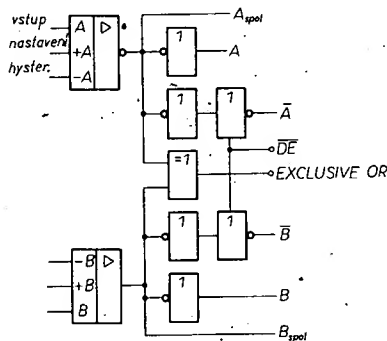
Obr. 224. Změna přenosových charakteristik invertoru



Obr. 225. Schmittův klopný obvod s řízením přenosu

zapojeny dva vstupy a na jednom ze vstupů U_x se mění vstupní napětí (čárkované na obr. 224), pak spojením vstupů můžeme získat účinnou kladnou vazbu a obvod pracuje jako Schmittův klopný obvod.

Na obr. 225 je Schmittův klopný obvod, u něhož lze změnou odporů řídit přenosové napětí druhého invertoru. Charakteristiky tohoto obvodu jsou závislé na odporu a na rozdílech mezi MOSFET s kanálem

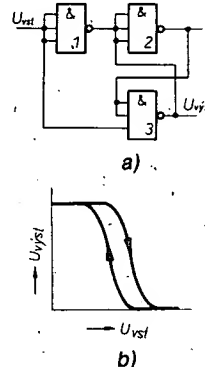


Obr. 226. Zapojení obvodu 4583

n a p, použitých v daném invertoru. Obvod na obr. 225 je základem Schmittova klopného obvodu z IO 4583. Na obr. 226 je logické schéma IO 4583. Použitím obou Schmittových klopných obvodů v IO a hradla EXCLUSIVE-OR lze např. minimalizovat vliv poruch na přenosovém vedení. Obvod 4583 má třístavový výstup a každý Schmittův klopný obvod má obvyklé vstupy.

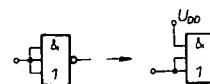
Několikavstupové hradla pro Schmittovy klopné obvody

Přenosové charakteristiky lze měnit i u několikavstupových hradel a závisí na



Obr. 227. Schmittův klopný obvod s hradly 4023

propojení vstupů. Toho lze využít pro konstrukci Schmittova klopného obvodu s třístavovými hradly NAND (4023) podle obr. 227. Horní úroveň překlápění U_{UT} je dána prahovým napětím hradla 1 a dolní úroveň U_{LT} prahovým napětím hradla 3. Typická hysterze tohoto obvodu je 30 % U_{DD} , avšak hodnotu U_{UT} můžeme získat, nahradíme-li hradlo 1 zapojením podle obr. 228, které zmenší hysterzi na 15 % U_{DD} . V praxi tyto obvody používáme tam, kde potřebujeme velkou hysterzi, aniž by ji bylo třeba nastavovat u každého obvodu individuálně.



Obr. 228. Alternativní zapojení hradel z obr. 227

(Pokračování v příštím čísle)

KONKURS AR '85

Jako každoročně, i letos vypisujeme konkurs AR na nejlepší amatérské konstrukce, jehož spolupředatelem je ČSVTS elektrotechnické fakulty ČVUT. Jako v loňském roce budou i letos přihlášené konstrukce posuzovány výhradně z hlediska jejich původnosti, nápaditosti, technického provedení, vtipnosti a především účelnosti a použitelnosti. Přitom zdůrazňujeme, že složitost zařízení nebude v žádném případě rozhodujícím kritériem, které by konstrukci automaticky předurčovalo k zařazení do nejvyšší hod-

nocené třídy. To v praxi znamená, že i jednoduchá, ale vtipná a užitečná konstrukce může být odměněna nejvyšší částkou.

Konstrukce, přihlášené do letošního konkursu, budou tedy nejprve hodnoceny podle vyjmenovaných kritérií. Komise pak

ty konstrukce, které budou vyhovovat, rozdělí do tří skupin na výborné, velmi dobré a dobré. Zjednodušeně řečeno, bude to obdoba způsobu, kterým se například udělují medaile za nejlepší výrobky. Vybrané konstrukce budou tedy zařazeny do 1., 2. nebo 3. skupiny a v každé této skupině odměněny stanovenou paušální částkou.

Znamená to tedy, že například do první skupiny může být zařazeno více konstrukcí, budou-li skutečně kvalitní a vyhoví-li konkursním požadavkům. Totéž platí samozřejmě i o dalších dvou skupinách. Redakce má pro letošní rok k dispozici dostatečnou částku, aby mohla odměnit prakticky každou konstrukci, kterou komise k ocenění doporučí.

Do konkursu budou přijímány libovolné konstrukce bez ohledu na to, zda jsou jednoduché či složitější, a hodnotícími ukazateli budou vlastnosti, které jsme v úvodu vyjmenovali. V této souvislosti prosíme naše čtenáře, aby do konkursu nezasílali takové konstrukce, které se již na první pohled zcela vymykají z možnosti amatérské reprodukovatelnosti, anebo takové, jejichž pořizovací náklady dosahují tisícových částek.

Podmínky konkursu

1. Konkurs je neanonymní a může se ho zúčastnit každý občan ČSSR. Dokumentace musí být označena jménem a adresou a případně i dalšími údaji, které by umožnily v případě potřeby dostat se s přihlášeným účastníkem co nejrychleji do styku.
2. V přihlášených konstrukcích musí být použity výhradně součástky dostupné v naší obchodní síti, a to i součástky, dovážené ze zemí RVHP.
3. Přihláška do konkursu musí být zaslána na adresu redakce AR nejpozději do 5. září 1985 a musí obsahovat:
 - a) schéma zapojení,
 - b) výkresy desek s plošnými spoji,
 - c) fotografie vnitřního i vnějšího provedení, minimální rozměr 9×12 cm,
 - d) podrobný popis přihlášené konstrukce s technickými údaji a návodem k použití.
4. Textová část musí být napsána strojem (30 řádků po 60 úderech), výkresy mohou být na obyčejném papíře a kresleny tužkou, kuličkovou tužkou nebo jinak, ale tak, aby byly přehledné (všechny výkresy jsou v redakci překreslovány). Výkresy i fotografie musí být očíslovány (obr. 1 atd.) a v textu na ně musí být odkazy. Na konci textové části musí být uveden seznam použitých součástek a všechny texty pod jednotlivé obrázky.
5. Přihlášeny mohou být pouze takové konstrukce, které dosud nebyly v ČSSR publikovány – redakce si přitom vyhrazuje právo jejich zveřejnění. Pokud bude konstrukce zveřejněna, bude honorována jako příspěvek bez ohledu na to, zda byla či nebyla v konkursu odměněna.
6. Neúplné či opožděně zaslání příspěvků nemohou být zařazeny do hodnocení. Příspěvky bude hodnotit komise, ustanovená podle dohody pořadatelů. V případě potřeby si komise vyžaduje posudky specializovaných pracovišť. Členové komise jsou z účasti na konkursu vyloučeni.
7. Dokumentace konstrukcí, které nebu-

dou ani odměněny, ani uveřejněny, budou na požádání vráceny.

8. Výsledek konkursu bude odměněným sdělen do 15. prosince 1985 a otištěn v AR A2/86.

Odměny

Konstrukce, které budou komisí zařazeny do jmenovaných tří skupin, budou odměněny takto:

1. skupina	2000 Kčs
2. skupina	1500 Kčs
3. skupina	1000 Kčs

Redakce vypisuje navíc tematické úkoly (tedy vlastní požadavky na určité konstrukce), které, pokud budou úspěšně splněny, budou kromě udělených cen odměněny ještě zvláštními jednorázovými přemiemi v rozmezí 300 až 1000 Kčs.

Stejnou přemii může komise udělit i takové konstrukci, která nebude předmětem tematických úkolů, bude však jakýmkoli způsobem mimořádně zajímavá nebo společensky prospěšná.

Z toho vyplývá, že autoři nejlepších konstrukcí, anebo konstrukce, splňující požadavky tematických úkolů, mohou

získat celkovou odměnu až 3000 Kčs a tuto odměnu může pochopitelně získat nejen jeden, ale i několik autorů.

Tematické úkoly vypsány pro konkurs AR 1985

1. Konstrukce využívající nejmodernější dostupné lineární integrované obvody (IO typu CMOS apod.). Zařízení by neměla být příliš složitá a náročná na velký počet součástek. Měla by umožnit amatérským konstruktérům osvojit si praktickou aplikaci moderních mikroelektronických součástek.
2. Konstrukce z oblasti „klasické“ radio-techniky – např. antény, zesilovače a výhybky, přijímače a různé doplňky k rozhlasovým a televizním přijímačům.
3. Přenosný transceiver FM pro pásmo 2 m, umožňující provoz přes převaděče. Přístroj by měl být moderní koncepce, měl by využívat moderních dostupných součástek a měl by mít malé rozměry.
4. Jednoduchá konstrukce kazetopáskové paměti (využívající náhradní díly magnetofonů), univerzální obrazovkový monitor a další doplňky k mikropočítačům.

Výsledky konkursu 1984

V říjnu minulého roku byl Komisí vyhodnocen 16. ročník konkursu AR, který redakce pořádá ve spolupráci s ČSVTS elektrotechnické fakulty ČVUT v Praze. Do konkursu byly přihlášeny 52 konstrukce, podmínkám konkursu vyhovělo 50 konstrukcí, které pak hodnotila komise ve složení: docent ing. Jiří Vackář, CSc., předseda, ing. Jan Klábal, šéfredaktor AR, místopředseda, Kamil Donát, ing. J. T. Hyan, ing. M. Šredl a L. Kalousek.

I. ceny nebyly uděleny

II. ceny	
Generátor tvarových kmitů (Tomáš Kubát)	1500 Kčs
Jednodeskový mikropočítač (Eduard Sojka)	1500 Kčs
Modulová řada měřicích přístrojů a	
Skladebná řada přístrojových skříní s konstrukcemi zdroje,	
měřiče C a L (ing. Ladislav Škapa, ing. Jiří Horský, ing. Petr Zeman)	1500 Kčs
Generátor šachovnice a pruhů k nastavování ČB TVP (Zdeněk Šoupal)	1500 Kčs

III. cena	
Impulsně regulovaný zdroj 12,6 V/18 A (J. Chochola)	1000 Kčs
Digitální otáčkoměr (V. Voráček, M. Málek)	1000 Kčs
Napětová digitální sonda (P. Žwak)	1000 Kčs

Dále se komise rozhodla udělit tyto ceny za konstrukce, splňující vypsány tematické úkoly:

Zkoušeč 555 a OZ (dr. L. Kellner)	500 Kčs
Lineární sonda (M. Biščo)	500 Kčs
Logická sonda (S. Kindl)	300 Kčs
Automat pro topení (V. Griger)	500 Kčs
Regulátor k ústřednímu topení (ing. J. Kouřil)	500 Kčs
Automatické přečerpávání ohřáté vody a automatické	
pootáčení kolektorové desky (P. Lalínský)	500 Kčs

Kromě hlavních cen a cen za tematické úkoly se komise rozhodla odměnit tyto přihlášené konstrukce:

Logická sonda (P. Dočekal)	300 Kčs
Konvertor VKV s krystalem (V. Voráček)	400 Kčs
Klávesnicový generátor Morse (F. Andrlík)	800 Kčs
Vstupní a výstupní porty pro mikropočítače (S. Meduna)	700 Kčs
Snímač polohy potenciometru (Z. Hlaváček)	300 Kčs
Hledač kovových předmětů (O. Burger)	500 Kčs
Zesilovač pro čtení a zápis dat na magnetofon (ing. F. Vyskup)	600 Kčs
Univerzální poplašné zařízení (M. Vejvoda)	500 Kčs

Hodnotíme-li výsledky loňského konkursu, je třeba poznamenat, že jeho úroveň byla poněkud nižší, než v předloňském roce. Stále postrádáme větší výběr konstrukcí, které by byly jednoduché a osazeny moderními součástkami, především novými integrovanými obvody s malou spotřebou elektrické energie. To vše se projevilo i v tom, že nebyla tentokrát udělena ani jedna první cena. V daleko větší míře by také bylo možno uvést o některých konstrukcích, že nebyly „dotaženy“, tj. že k jejich celkové lepšímu zhodnocení scházelo např. přesné nastavení, dorešení jejich mechanické konstrukce apod.

